



Ministerstwo Nauki  
i Szkolnictwa Wyższego

**Regionalna Inicjatywa Doskonałości w Dyscyplinach  
Informatyki, Elektrotechniki, Elektroniki, Automatyki i Robotyki  
na Politechnice Częstochowskiej**



**Projekt w ramach programu Regionalna Inicjatywa Doskonałości, decyzja nr 020/RID/2018/19**

# **Architektura Systemów Komputerowych**

## **Koprocesor numeryczny oraz jednostki ALU, FPU i VPU: budowa, właściwości i podstawowe operacje**



dr hab. inż. Łukasz Szustak, prof. PCz  
[lszustak@icis.pcz.pl](mailto:lszustak@icis.pcz.pl)

Katedra Informatyki  
Wydział Inżynierii Mechanicznej i Informatyki  
Politechnika Częstochowska



Wydział Inżynierii  
Mechanicznej  
i Informatyki  
The Faculty of Mechanical Engineering  
and Computer Science



Ministerstwo Nauki  
i Szkolnictwa Wyższego

# Regionalna Inicjatywa Doskonałości w Dyscyplinach Informatyki, Elektrotechniki, Elektroniki, Automatyki i Robotyki na Politechnice Częstochowskiej



Projekt w ramach programu Regionalna Inicjatywa Doskonałości, decyzja nr 020/RID/2018/19

**Zamieszczane materiały służą wyłącznie do celów indywidualnego kształcenia. Nie wyrażam zgody na ich utrwalanie przekazywanie osobom trzecim ani rozpowszechnianie.**



dr hab. inż. Łukasz Szustak, prof. PCz  
[lszustak@icis.pcz.pl](mailto:lszustak@icis.pcz.pl)

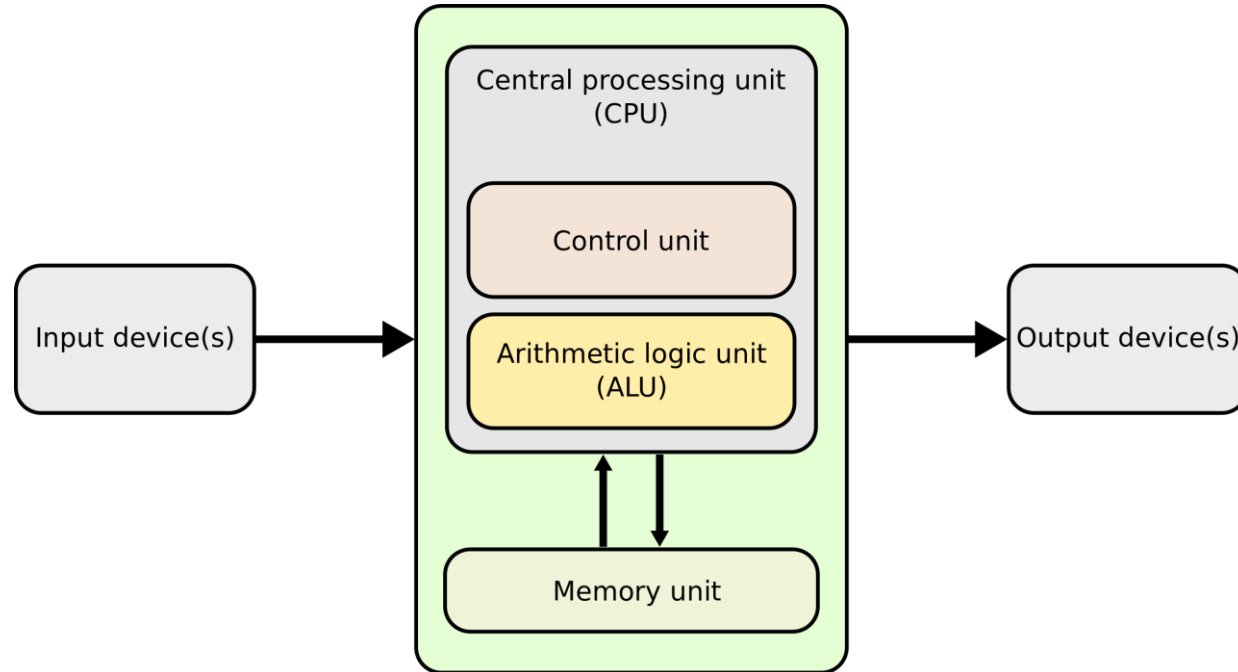
Katedra Informatyki  
Wydział Inżynierii Mechanicznej i Informatyki  
Politechnika Częstochowska



Wydział Inżynierii  
Mechanicznej  
i Informatyki  
The Faculty of Mechanical Engineering  
and Computer Science

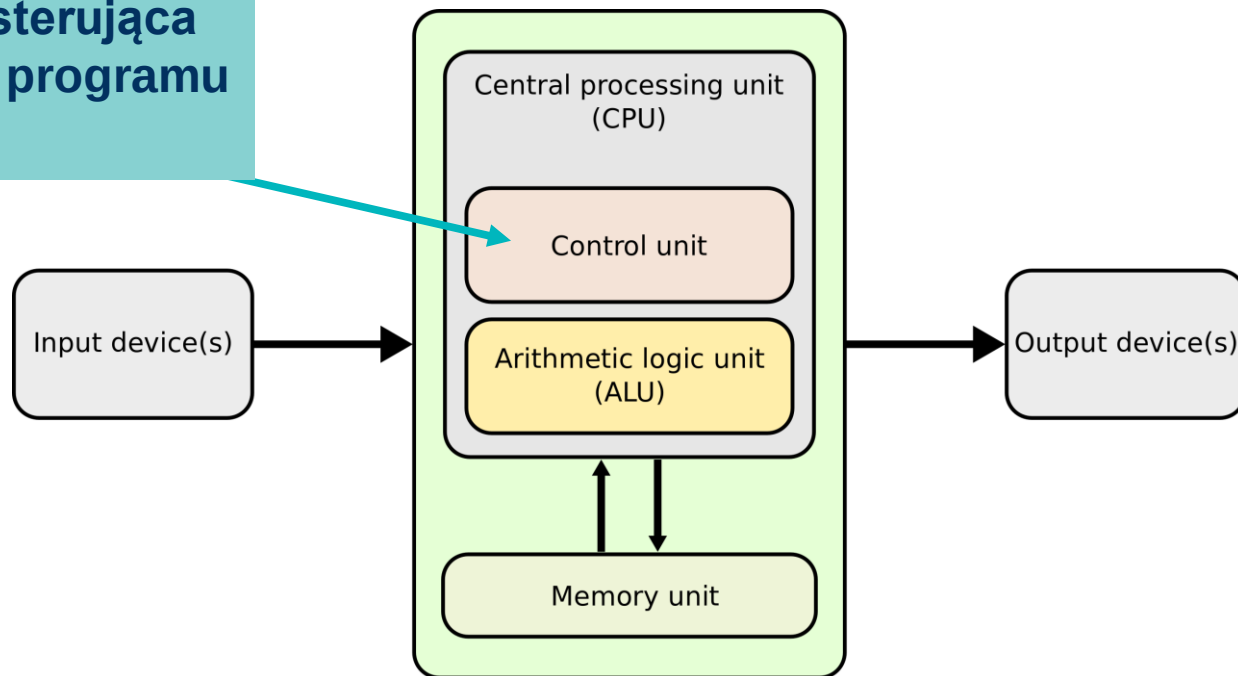
# Rozwój procesorów CPU

# Architektura von Neumanna (1945)



# Architektura von Neumanna (1945)

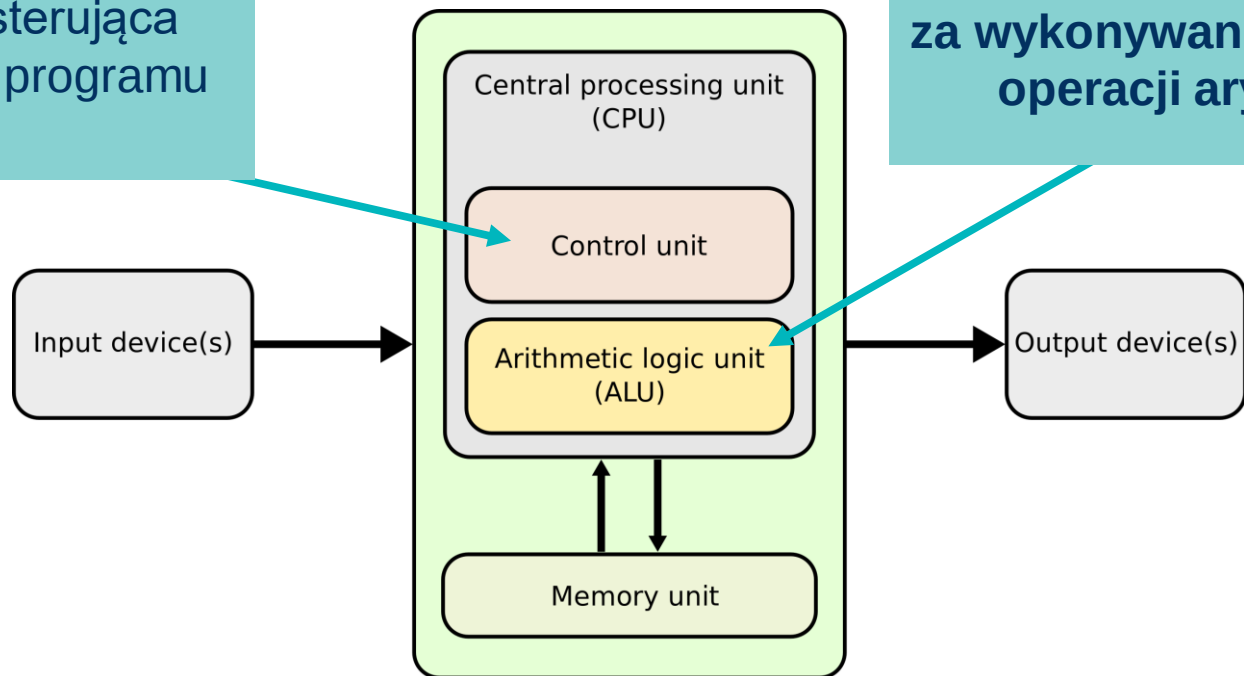
Jednostka sterująca  
wykonaniem programu



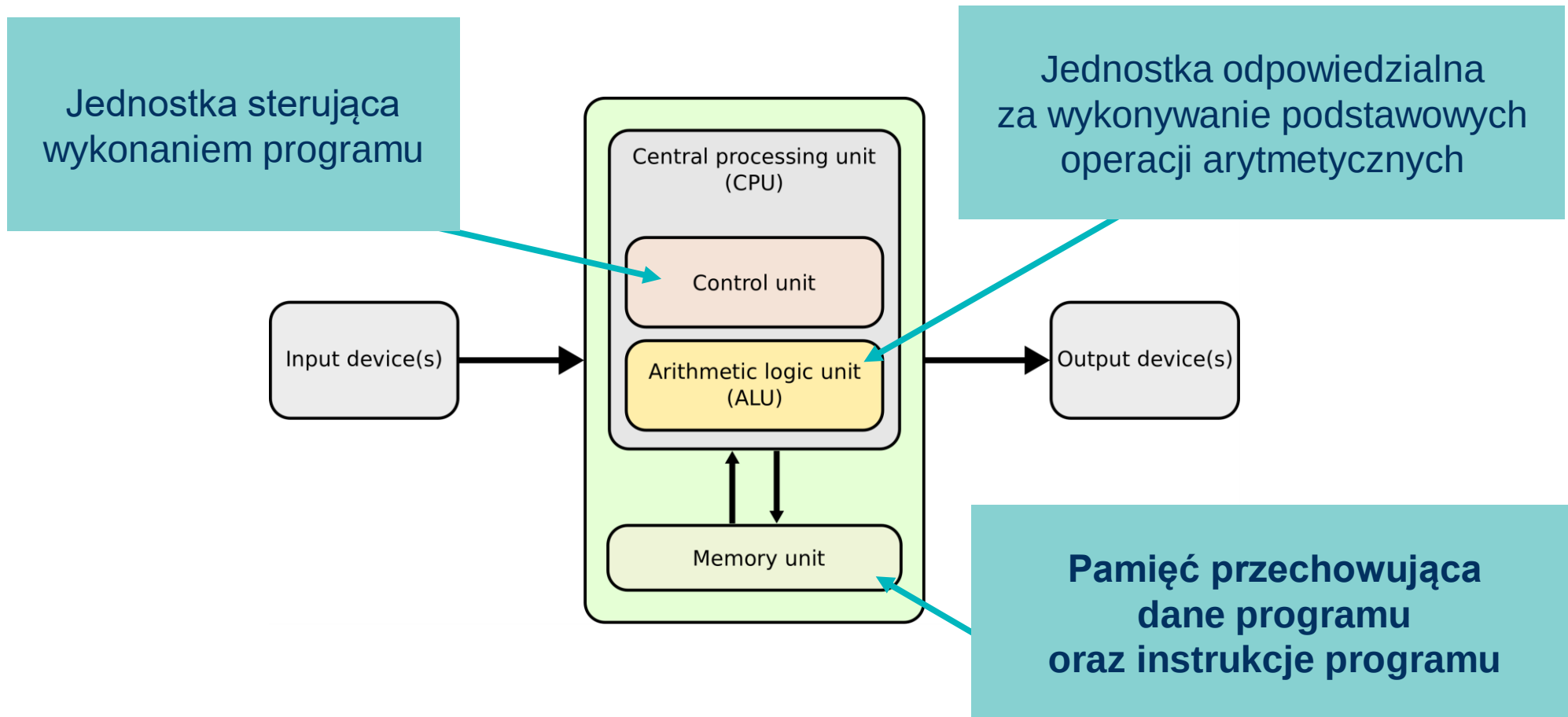
# Architektura von Neumanna (1945)

Jednostka sterująca  
wykonaniem programu

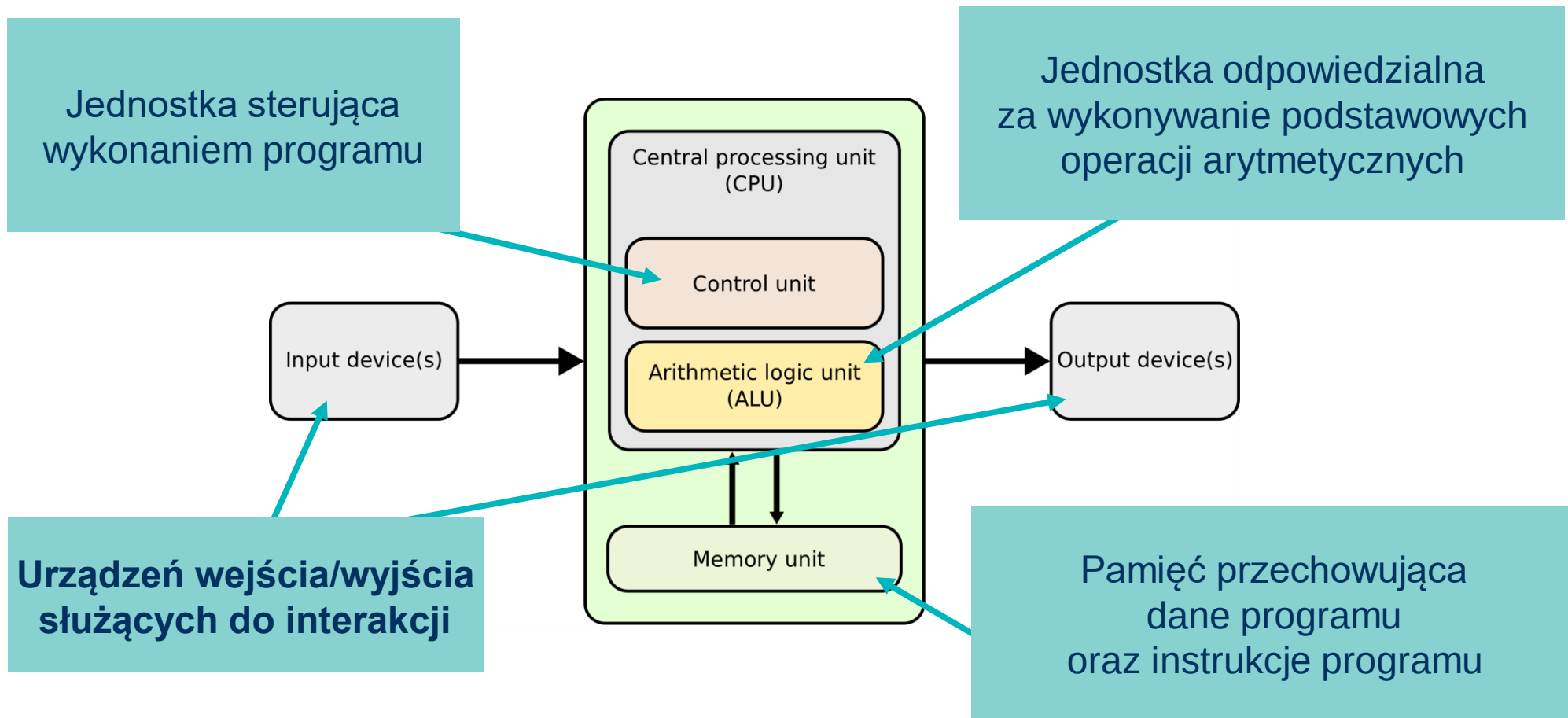
Jednostka odpowiedzialna  
za wykonywanie podstawowych  
operacji arytmetycznych



# Architektura von Neumanna (1945)



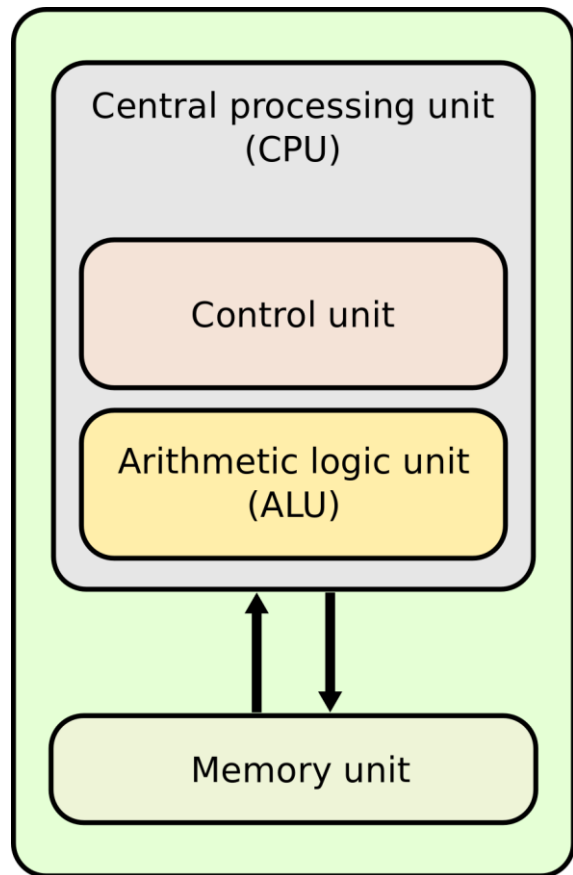
# Architektura von Neumanna (1945)



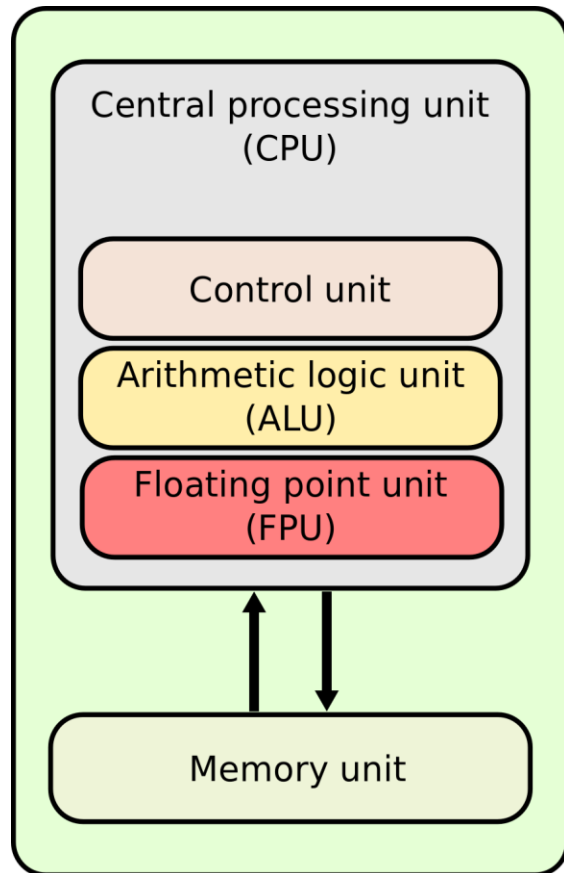


# Rozwój procesorów ogólnego przeznaczenia

- Architektura von Neumanna

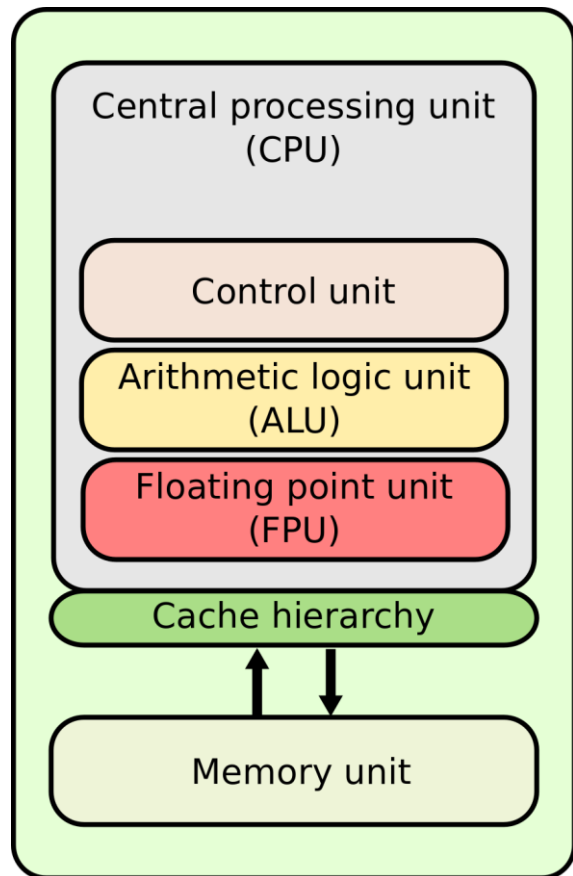


# Rozwój procesorów ogólnego przeznaczenia



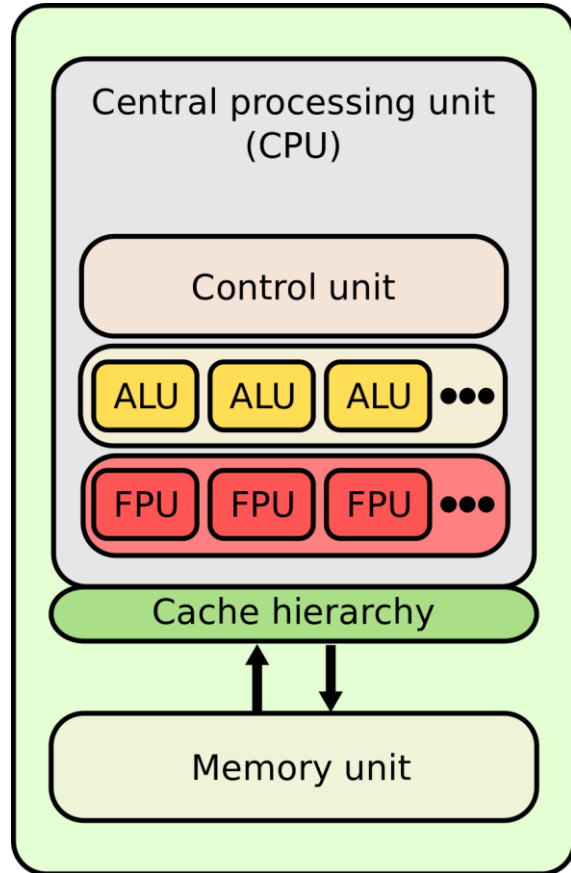
- **Jednostka FPU – obliczenia zmiennoprzecinkowe**
- **Wydajność obliczeniowa [flop/s]**
- **liczba operacji zmiennoprzecinkowych typu dodawania, mnożenie wykonywana w ciągu jednej sekundy**

# Rozwój procesorów ogólnego przeznaczenia



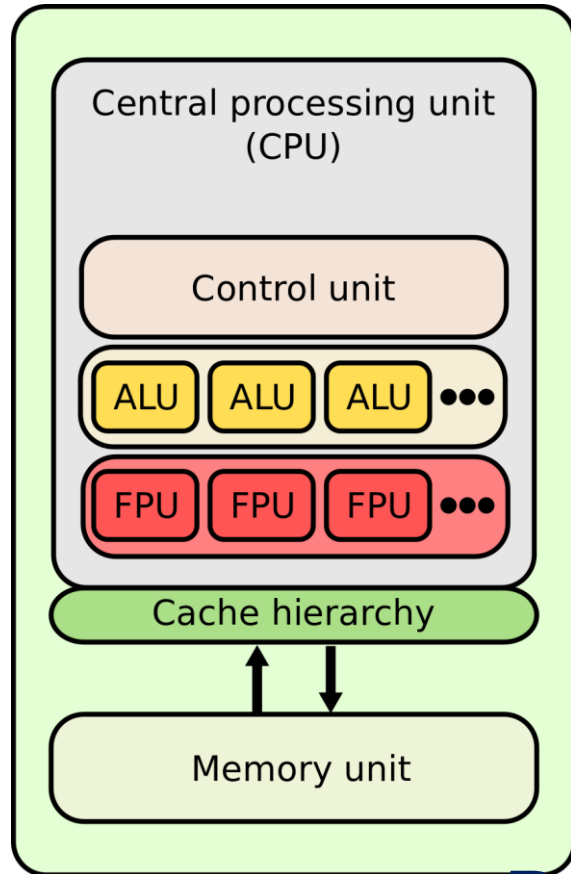
- **Pamięć podręczna**
- Hierarchia L1,L2 oraz L3, a nawet L4
  - Przepustowość danych do pamięci [byte/s]
  - Opóźnienie [s]

# Rozwój procesorów ogólnego przeznaczenia



- **Wiele jednostek ALU i FPU**, równolegle wykonujących zadania
- Jeżeli jest to możliwe, jednostka sterująca automatycznie równolegle wykonuje zadania na różnych FPU/ALU
  - który program wykona się równolegle??:
  - a) 
$$\begin{array}{l} c=a+b \\ d=a*b \end{array}$$
  - b) 
$$\begin{array}{l} c=a+b \\ d=a*c \end{array}$$

# Rozwój procesorów ogólnego przeznaczenia



- **Wiele jednostek ALU i FPU**, równolegle wykonujących zadania
- Jeżeli jest to możliwe, jednostka sterująca automatycznie równolegle wykonuje zadania na różnych FPU/ALU
  - który program wykona się równolegle??:

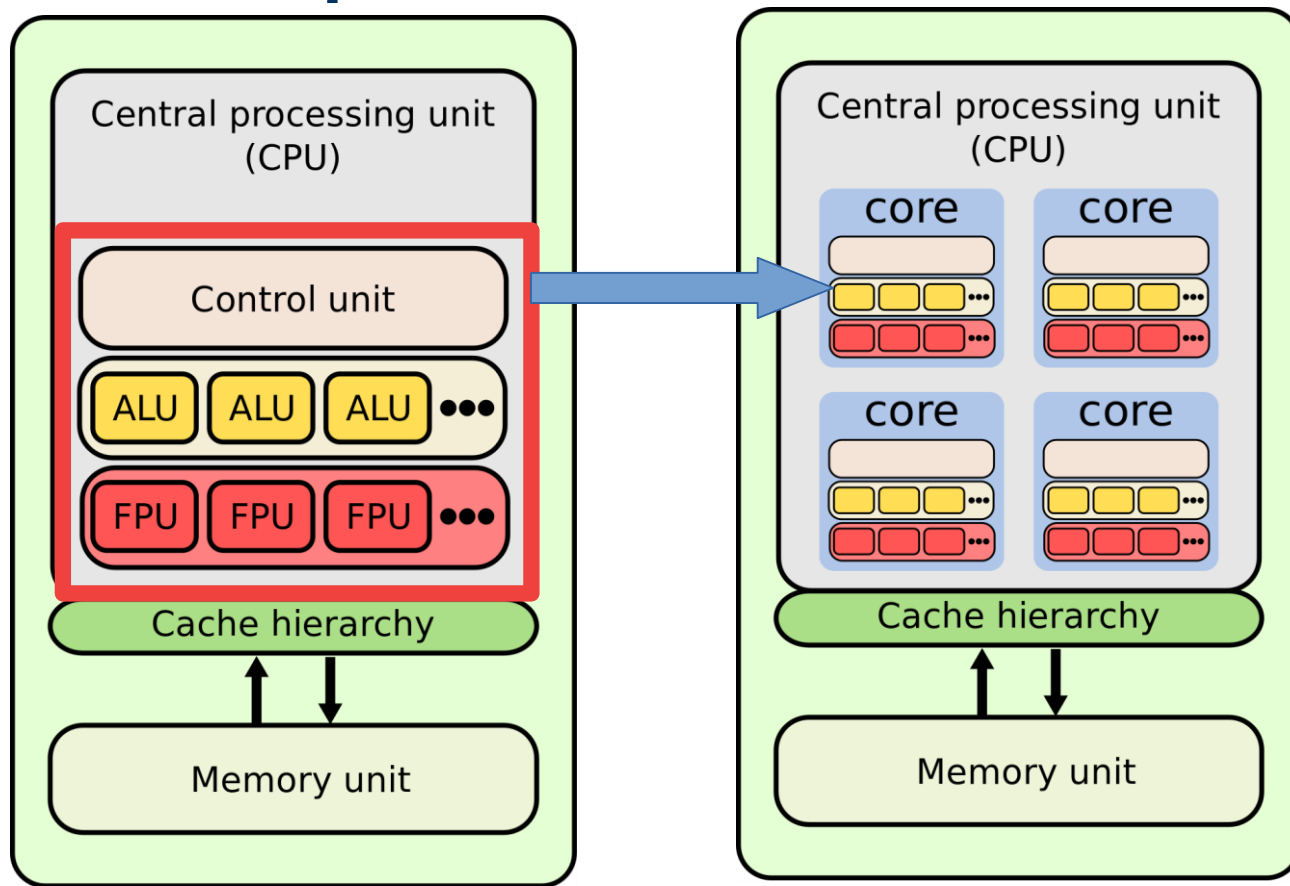
a)  $c=a+b$   
 $d=a*b$

b)  $c=a+b$   
 $d=a*c$

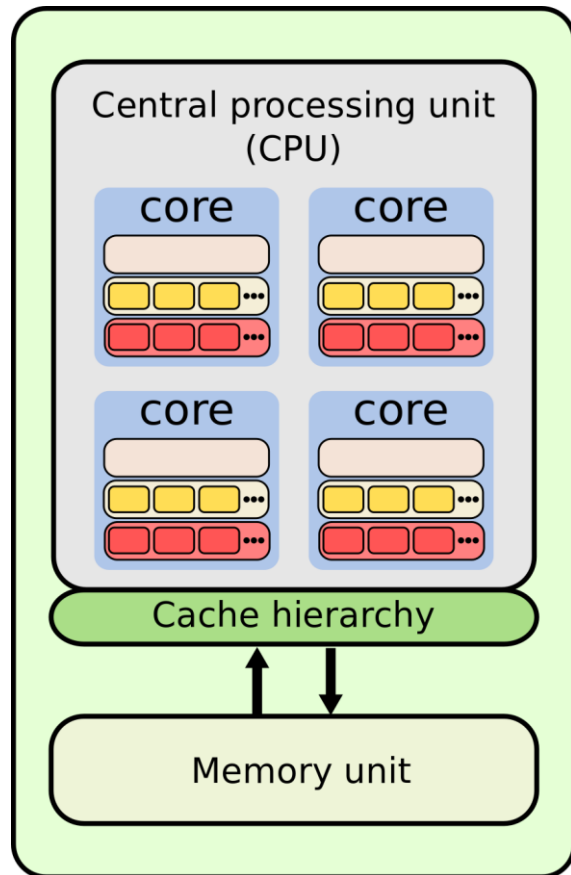
**Sekwencyjnie**

**Równolegle**

# Rozwój procesorów ogólnego przeznaczenia

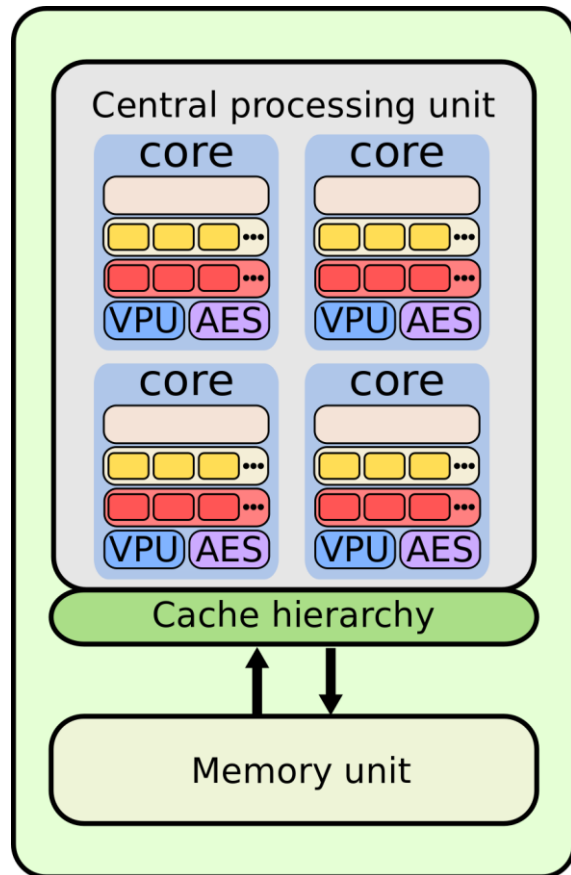


# Rozwój procesorów ogólnego przeznaczenia



- Architektury wielordzeniowe
- Procesor zawiera wiele rdzenie, umożliwiających równoległe wykonywanie zadań

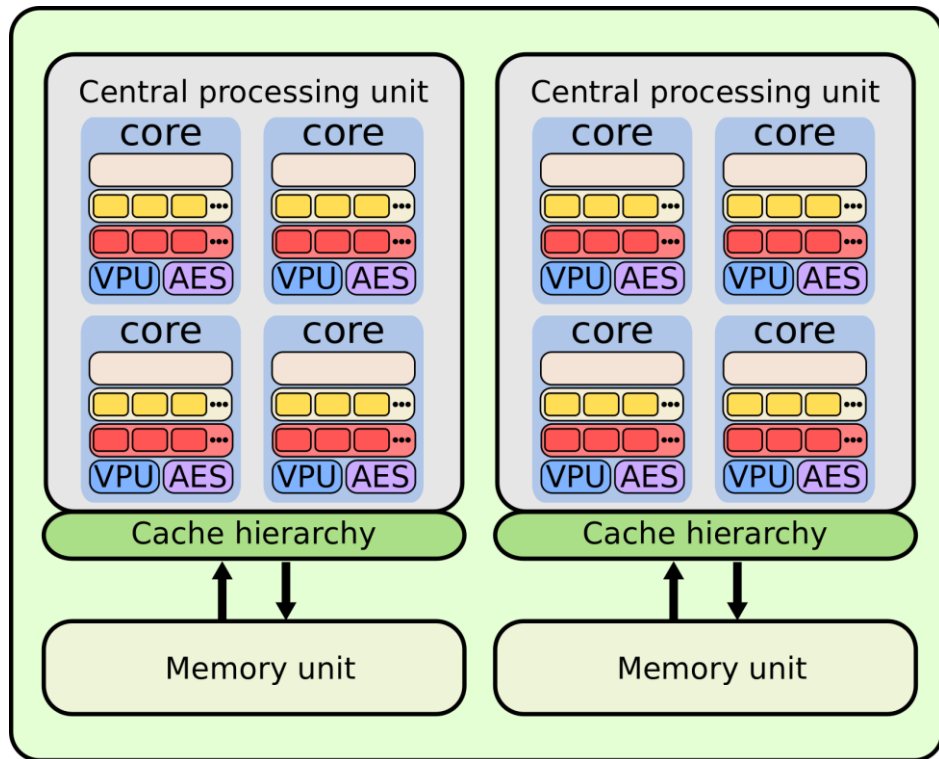
# Rozwój procesorów ogólnego przeznaczenia



- Rdzenie zostały wyposażone w jednostki wyspecjalizowane do wykonywania konkretnych zadań, np..
  - VPU – jednostka wektorowa
  - AES – jednostka do szyfrowania

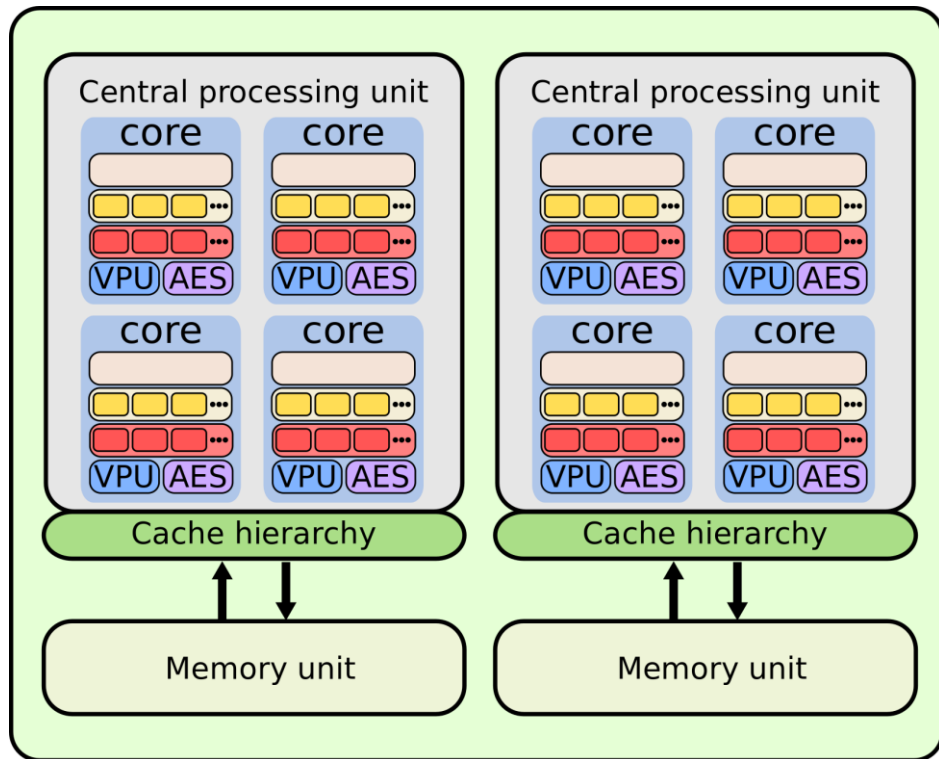


# Rozwój procesorów ogólnego przeznaczenia



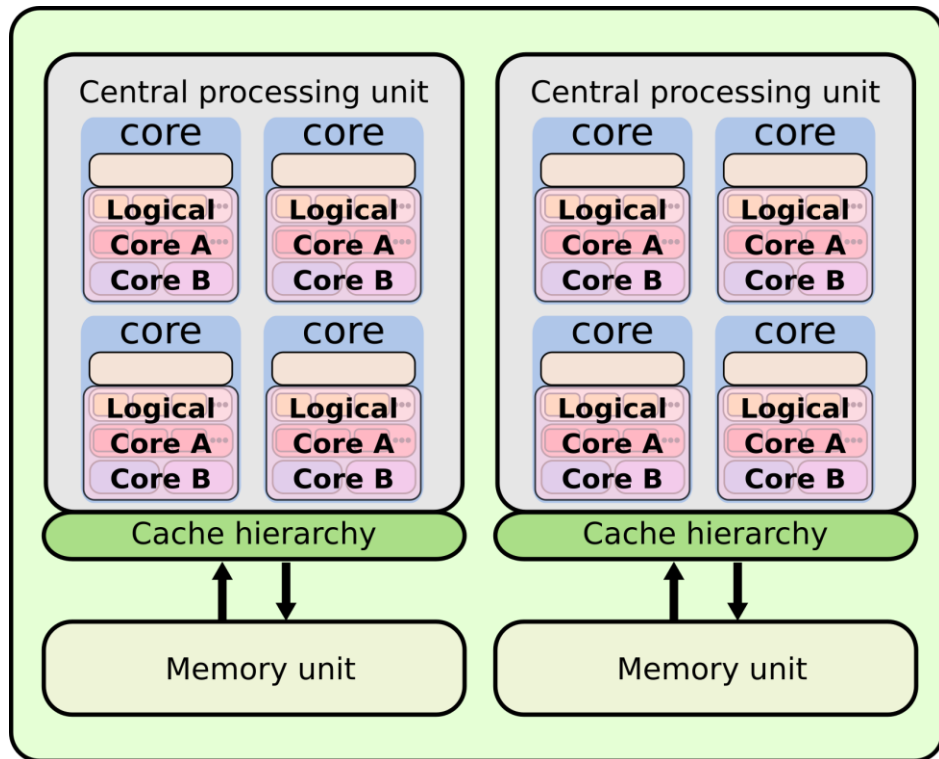
- Architektury wieloprocessorowe
- Pojedynczy komputer, nazywany też węzłem składa się z wielu procesorów CPU

# Rozwój procesorów ogólnego przeznaczenia



- Architektury wieloprocessorowe
- Pojedynczy komputer, nazywany też węzłem składa się z wielu procesorów CPU
- Wiele węzłów połączonych siecią tworzy klaster
- Wiele klastrów tworzą gridy

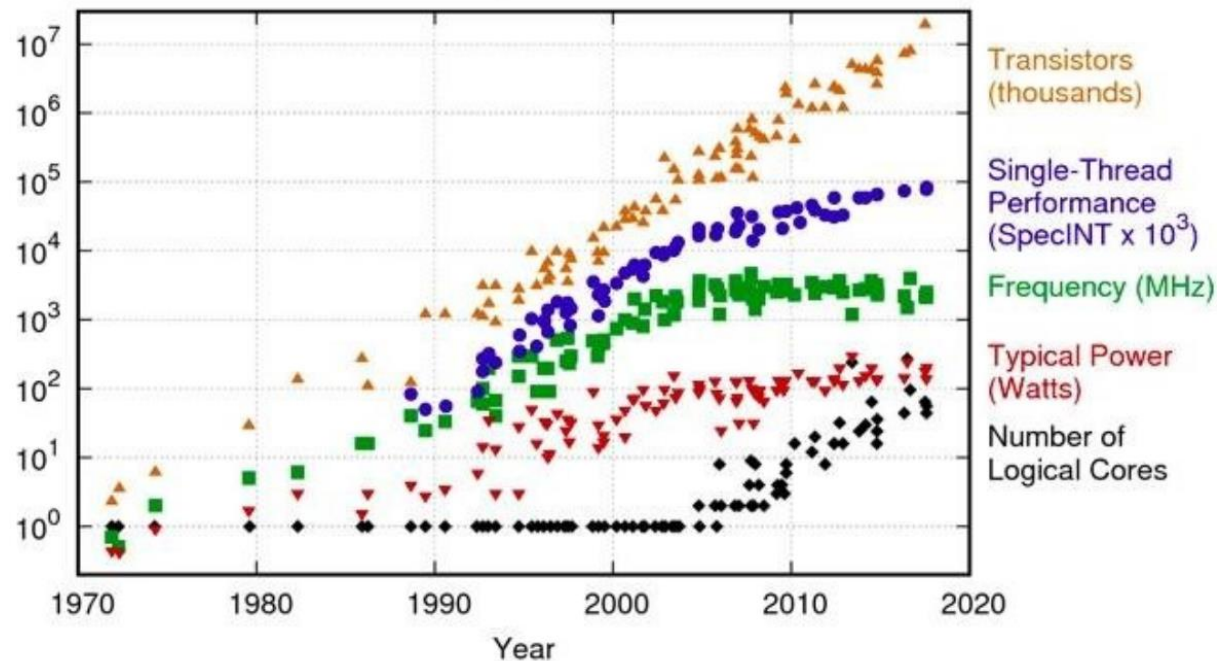
# Rozwój procesorów ogólnego przeznaczenia



- Obecne procesory wspierają sprzętową wielowątkowość (Simultaneous multithreading, SMT)
- Oznacza to, że jeden fizyczny rdzeń traktowany jest jako kilka logicznych rdzeni (sprzętowe rdzenie),
- system operacyjny oraz użytkownik widzi dwa rdzenie, a w rzeczywistości jest tylko jeden
- np.. procesory firm Intel i AMD oferują procesory CPU wspierające **dwa logiczne rdzenie** w obrębie pojedynczego rdzenia fizycznego
- SMT ma na celu zwiększenie wydajności równoległe (współbieżnie) wykonywanych zadań
- **Uwaga, SMT nie oznacza duplikowanie głównych zasobów rdzenie**
- Pomimo że logiczne procesory pozwalają na jednoczesne wykonanie zadań, tylko jedno zadanie zużywa zasoby w danym cyklu procesora

# Rozwój procesorów ogólnego przeznaczenia

- Obecnie zauważamy dynamiczny przyrost liczby rdzeni dla nie zmieniającej się częstotliwości procesora



Original data up to the year 2010 collected and plotted by M. Horowitz, F. Labonte, O. Shacham, K. Olukotun, L. Hammond, and C. Batten  
New plot and data collected for 2010-2017 by K. Rupp

# Rozwój procesorów firmy Intel

| Microarchitecture | Intel Xeon Processor | Cores | Freq | TDP [w] | Release date | Lithography [nm] |
|-------------------|----------------------|-------|------|---------|--------------|------------------|
| Nehalem           | W5590                | 4     | 3,33 | 130     | 2009         | 45               |
| Westmere-EP       | X5690                | 6     | 3,47 | 130     | 2011         | 32               |
| Sandy Bridge-EP   | E5-2687W             | 8     | 3,1  | 150     | 2012         | 32               |
| Ivy Bridge-EP     | E5-2697 v2           | 12    | 2,7  | 130     | 2013         | 22               |
| Haswell-EP        | E5-2699 v3           | 18    | 2,3  | 145     | 2014         | 22               |
| Broadwell EP      | E5-2699A v4          | 22    | 2,4  | 145     | 2016         | 14               |
| Skylake SP        | Platinum 8180M       | 28    | 2,5  | 205     | 2017         | 14               |
| Cascade Lake-AP   | Platinum 9282        | 56    | 2,6  | 400     | 2019         | 14               |

<https://ark.intel.com/>

# Rozwój procesorów firmy Intel

Microarchitecture

Nehalem

Westmere-EP

Sandy Bridge-EP

Ivy Bridge-EP

Haswell-EP

Broadwell EP

Skylake SP

Cascade Lake-AP



date

Lithography  
[nm]

45

32

32

22

22

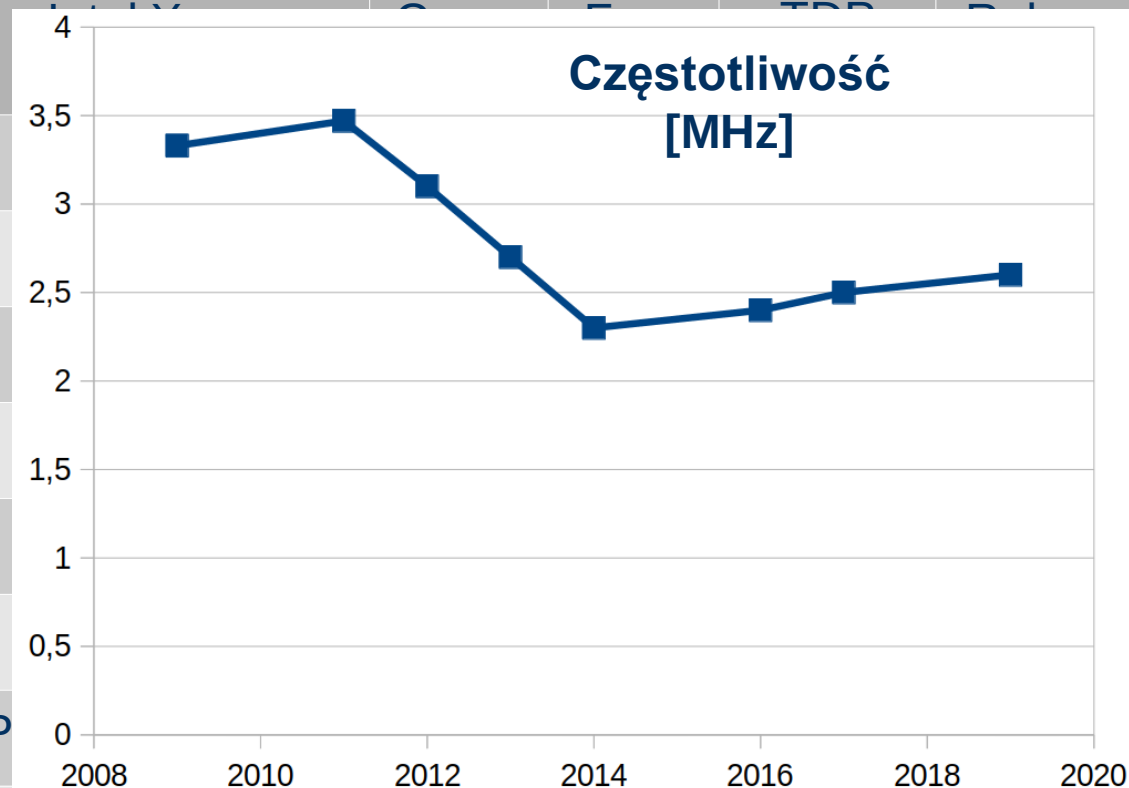
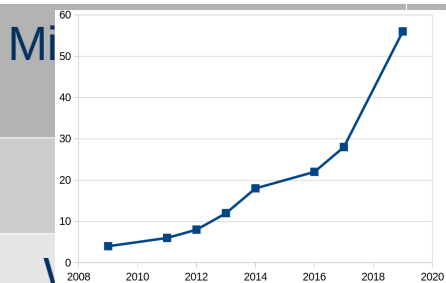
14

14

14

<https://ark.intel.com/>

# Rozwój procesorów firmy Intel



Sandy Bridge-EP

Ivy Bridge-EP

Haswell-EP

Broadwell EP

Skylake SP

Cascade Lake-AP

Platinum 9282

56

2,6

400

2019

Lithography  
[nm]

45

32

32

22

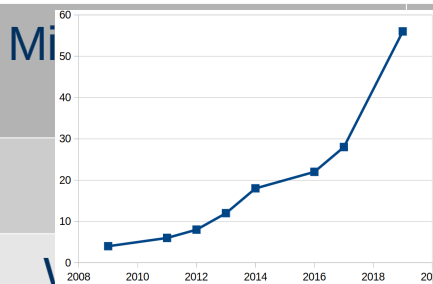
22

14

14

14

# Rozwój procesorów firmy Intel



Sandy Bridge-EP

Ivy Bridge-EP

Haswell-EP

Broadwell EP

Skylake SP

Cascade Lake-AP

Intel Xeon  
Processor

W5590

X5690

E5-2680

E5-2690

E5-2699A v4

Platinum 8180M

Platinum 9282

Cores

4

6

12

16

28

28

56

Freq

3,33

3,47

3,1

2,9

2,7

2,5

2,6

TDP  
[w]

130

130

150

130

145

145

400

Release date

2013

2014

2016

2017

2019

Lithography  
[nm]

22

22

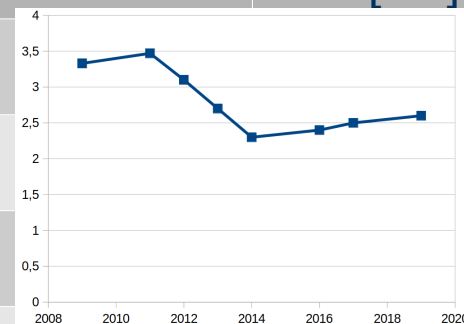
14

14

14

Liczba rdzeni

Częstotliwość  
[MHz]





# Rozwój procesorów firmy AMD

| Microarchitecture | AMD Opteron | Cores | Freq | TDP [w] | Lithography [nm] | Release date |
|-------------------|-------------|-------|------|---------|------------------|--------------|
| K8                | 8218 HE     | 2     | 2,8  | 68      | 90               | 2007         |
| K10               | 8425 HE     | 6     | 2,8  | 105     | 45               | 2009         |
| K10               | 6180        | 12    | 2,5  | 140     | 45               | 2010         |
| Bulldozer         | 6287 SE     | 16    | 2,8  | 140     | 32               | 2012         |
| Piledriver        | 6380        | 16    | 2,8  | 115     | 32               | 2012         |
| Microarchitecture | AMD EPYC    | Cores | Freq | TDP [w] | Lithography [nm] | Release date |
| Zen               | 7601        | 32    | 2,2  | 180     | 14               | 2017         |
| Zen 2             | 7H12        | 64    | 2,6  | 280     | 7                | 19/20        |

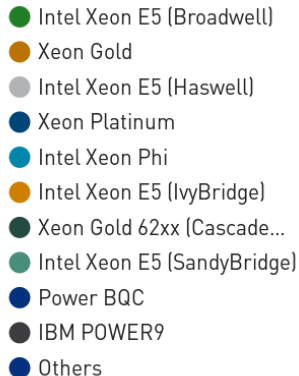
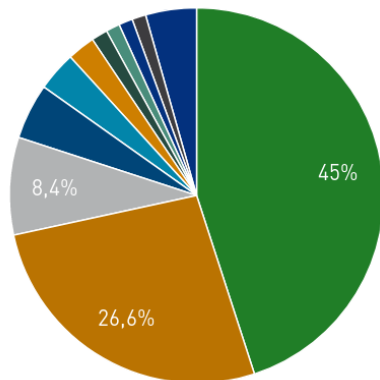
# Architektury wieloprocessorowe (wielordzeniowe)

# Przegląd równoległych architektur komputerowych

- <https://www.top500.org>
- Generacje procesorów stosowane w architekturach komputerowych (2019 r.):

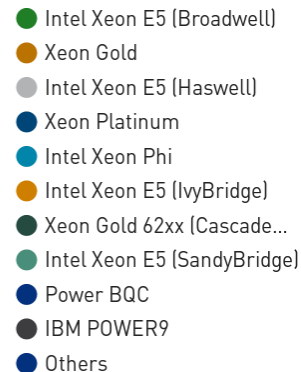
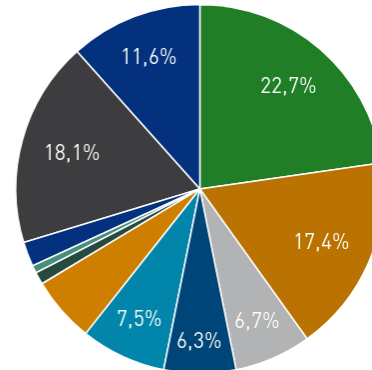
- a) liczebność

Processor Generation System Share



- b) wydajność

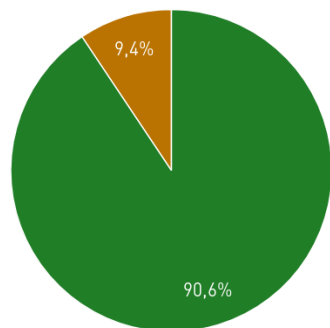
Processor Generation Performance Share



# Architektury wieloprocessorowe

- W chwili obecnej w **klastrach** komputerowych stosuje się powszechnie architektury wieloprocessorowe
- Wśród współczesnych systemów wieloprocessorowych stosowanych w klastrach komputerów PC można wyróżnić architekturę **ccNUMA**

Architecture System Share



● Cluster  
● MPP

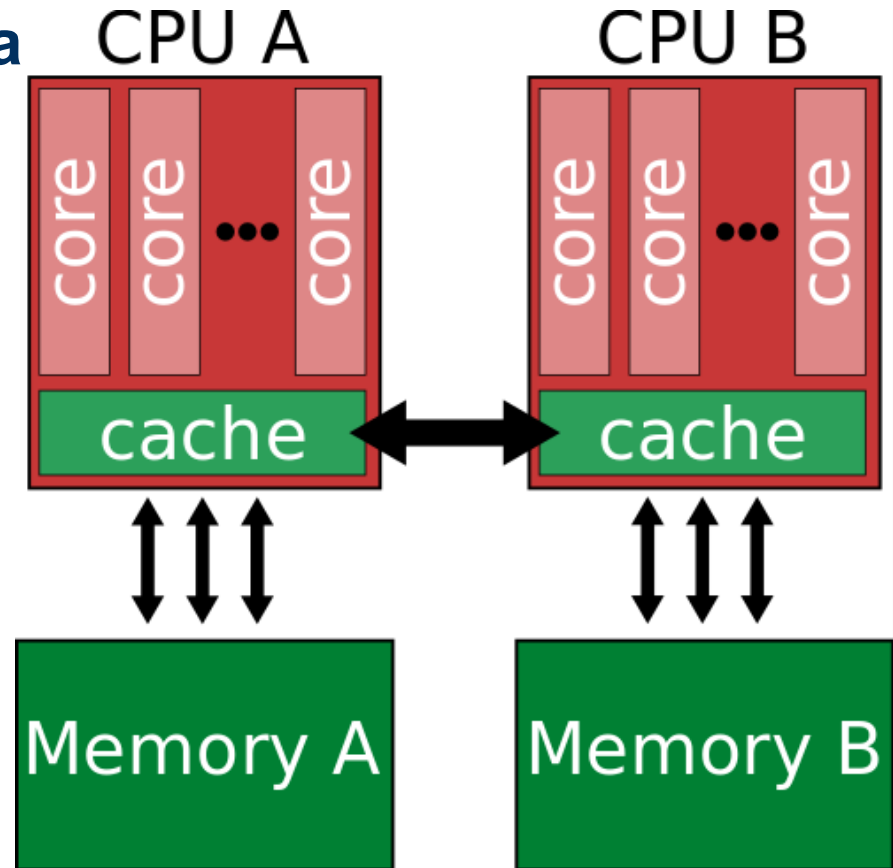


# Architektura ccNUMA jako przykład modelu pamięci współdzielonej

- NUMA (Non-Uniform Memory Access) jest sposobem organizacji dostępu do pamięci komputera stosowanej w maszynach wieloprocessorowych
- Architektura NUMA udostępnia użytkownikowi spójną logicznie przestrzeń adresową, pomimo że pamięć jest fizycznie podzielona
- Niejednorodność w dostępie do pamięci polega na tym, że dany procesor szybciej uzyskuje dostęp do swojej lokalnej pamięci, aniżeli do pamięci pozostałych procesorów lub pamięci współdzielonej
- Architektura ccNUMA (Cache coherent NUMA) jest szczególnym rodzajem architektury NUMA
- Architektura ccNUMA (Cache coherent NUMA) charakteryzuje się niejednorodnym dostępem do pamięci oraz spójną pamięcią podręczną
- Architektura ccNUMA udostępnia użytkownikowi spójną logicznie przestrzeń adresową, pomimo fizycznego podziału pamięci
- Pamięci podręczne w systemie ccNUMA jest współdzielona, co jest realizowane za pomocą odpowiednich rozwiązań sprzętowych

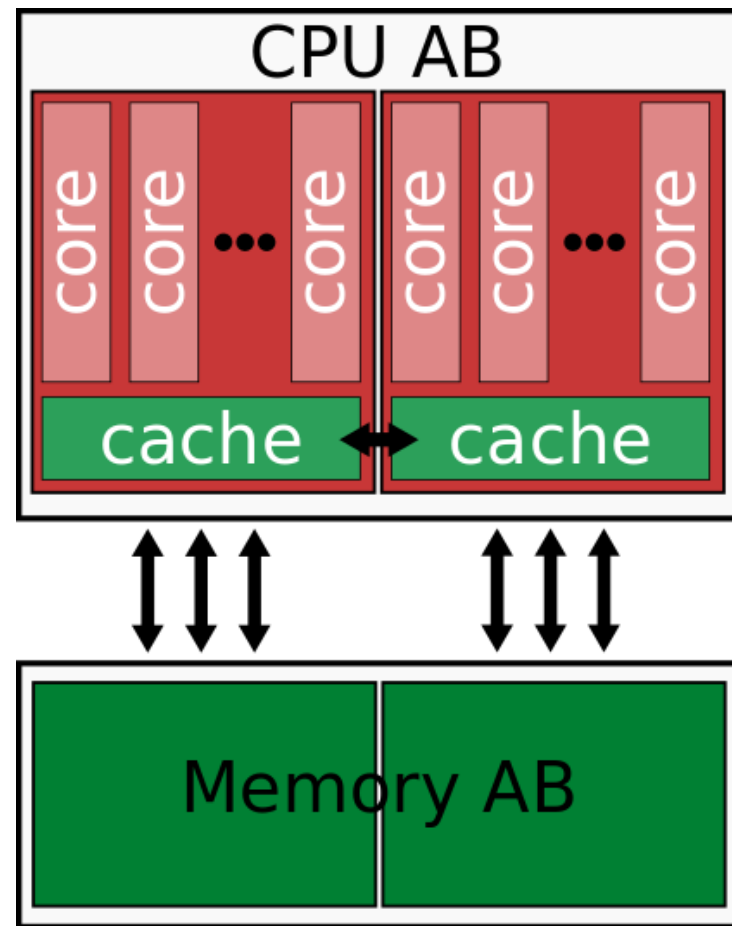
# Architektura ccNUMA

- **Pamięć jest fizycznie podzielona**



# Architektura ccNUMA

- Pamięć jest fizycznie podzielona
- **Pamięć jest logicznie spójna**
- Architektura ccNUMA stwarza dla użytkownika pojedynczy komputer (np.. stacji robocza lub węzeł klastra), w obrębie którego każdy procesor/rdzeń "widzi" całą dostępną pamięć



# Architektura ccNUMA

```
tester@gpu2:~$ lscpu
Architecture:          x86_64
CPU op-mode(s):        32-bit, 64-bit
Byte Order:            Little Endian
Address sizes:          46 bits physical, 48 bits virtual
CPU(s):                72
On-line CPU(s) list:   0-71
Thread(s) per core:    2
Core(s) per socket:    18
Socket(s):              2
NUMA node(s):          2
Vendor ID:              GenuineIntel
CPU family:             6
Model:                 63
Model name:             Intel(R) Xeon(R) CPU E5-2699 v3 @ 2.30GHz
Stepping:               2
CPU MHz:               1197.217
CPU max MHz:           3600,0000
CPU min MHz:           1200,0000
BogoMIPS:              4589.22
Virtualization:         VT-x
L1d cache:             32K
L1i cache:             32K
L2 cache:              256K
L3 cache:              46080K
NUMA node0 CPU(s):     0-17,36-53
NUMA node1 CPU(s):     18-35,54-71
```

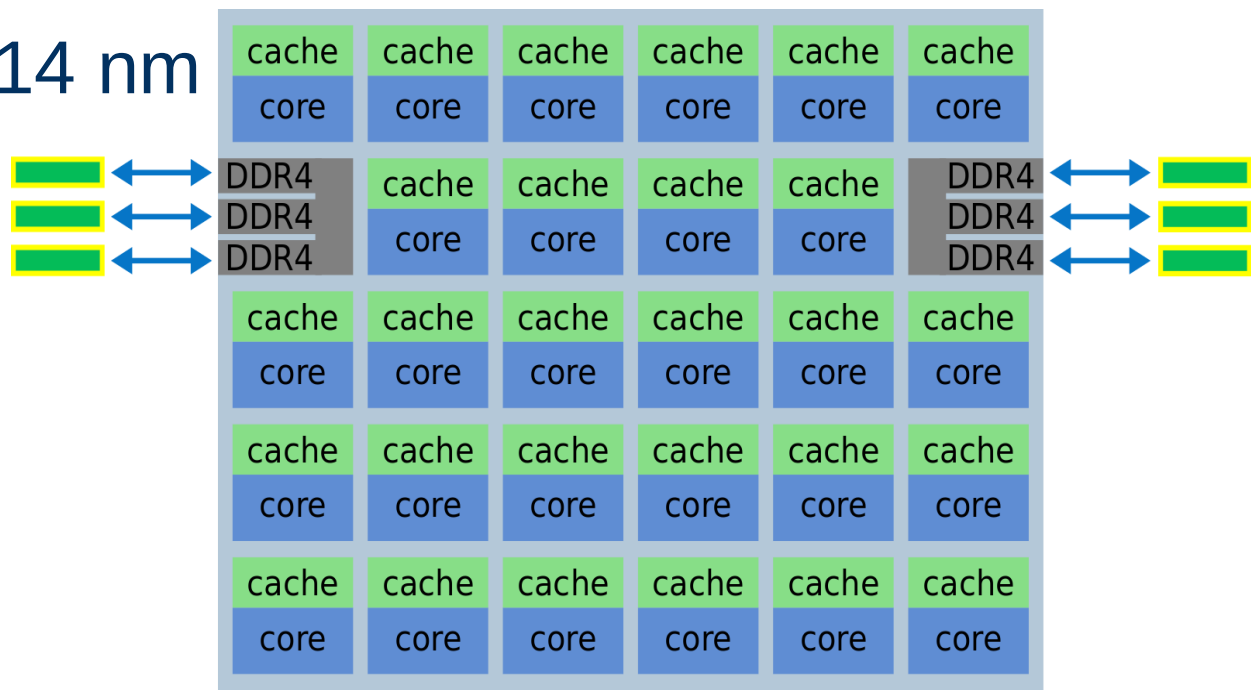
- Przykładowo:
- 2x Intel Xeon CPU E5-2699 v3
  - 2x36 (72) logicznych rdzeni
  - 2x18 (36) fizycznych rdzeni
  - 2 wątki na rdzeń



# Rozwiązania ccNUMA dla procesorów firmy Intel

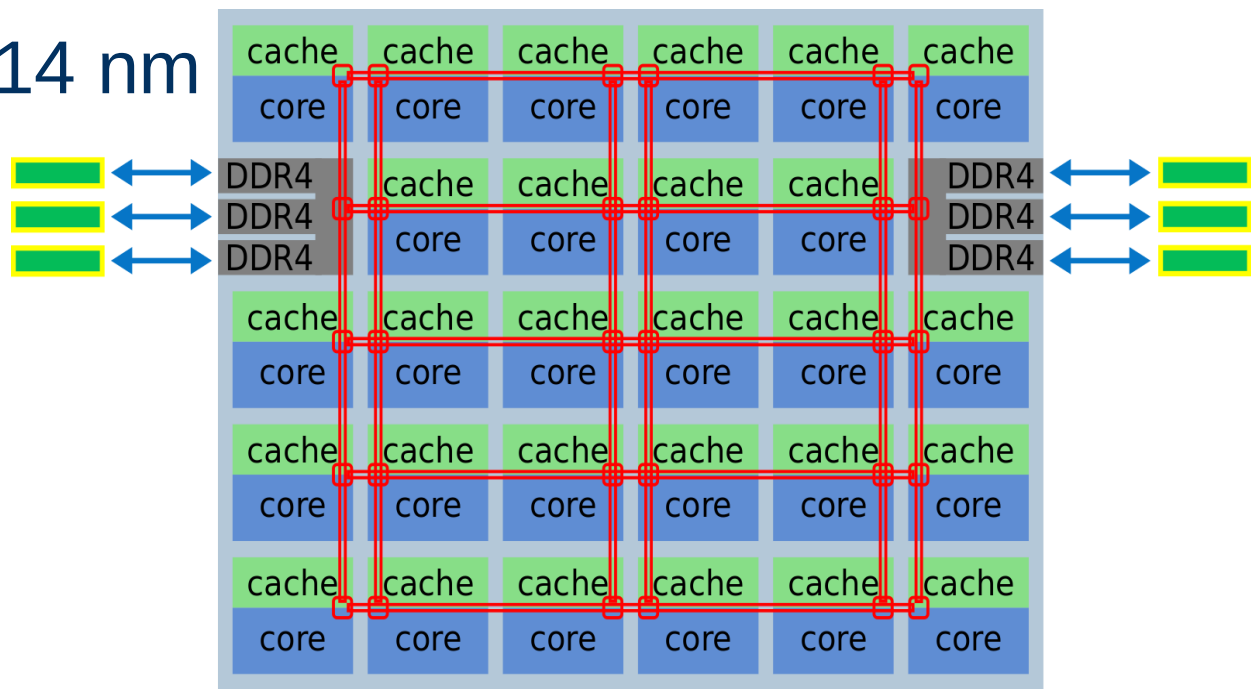
# Rodzina procesorów Intel Skylake

- Pojedynczy procesor Xeony z rodziny Skylake zawiera do maksymalnie 28 fizycznych rdzeni (56 logicznych)
- Proces technologiczny 14 nm
- Wspiera AVX-512
- Rdzenie połączone są za pomocą połączeń tworzących siatkę 2D



# Rodzina procesorów Intel Skylake

- Pojedynczy procesor Xeon z rodziny Skylake zawiera do maksymalnie 28 fizycznych rdzeni (56 logicznych)
- Proces technologiczny 14 nm
- Wspiera AVX-512
- Rdzenie połączone są za pomocą połączeń tworzących siatkę 2D

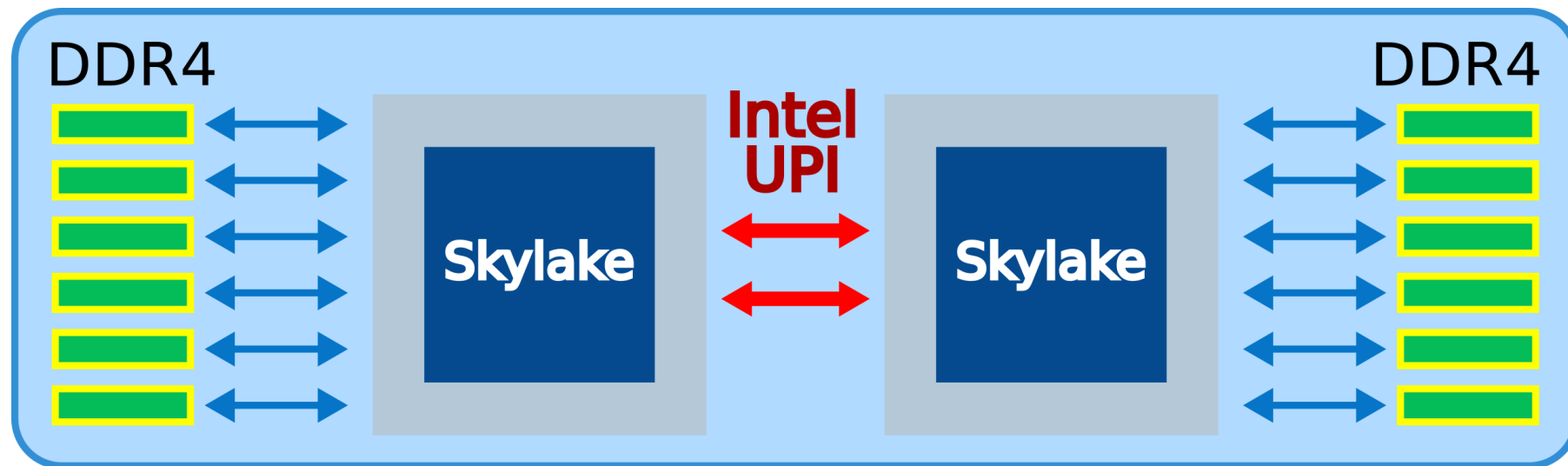


# Rodzina procesorów Intel Skylake

- Nowe procesory Xeony z rodziny Skylake umożliwiają zbudowanie serwera z użyciem do maksymalnie ośmiu CPU
- Komunikacja pomiędzy procesorami Skylake odbywa się za pomocą magistrali **Intel UPI** (UltraPath Interconnect), o przepustowości 9.6GT/s lub 10,4 GT/s
  - W poprzednich generacjach używano magistrali **Intel QPI**
- W zależności od modelu procesora z rodziny Skylake, na każdy socket przypadają **dwa** lub **trzy** łącznia Intel UPI
- Dzięki czemu możliwe będzie łączenie procesorów z godnie z topologią typu „ring” lub „cross-bridge”

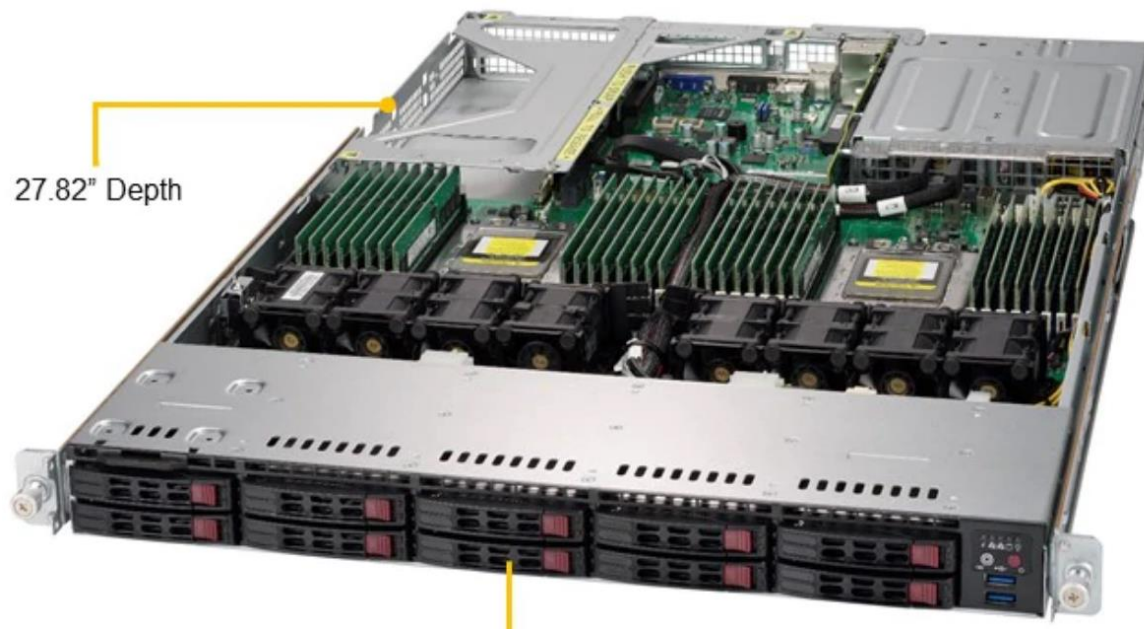
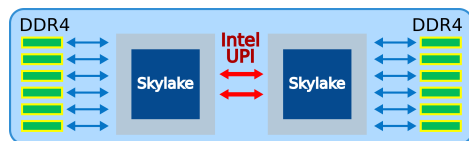
# Rodzina procesorów Intel Skylake

- Przykład połączenia procesorów rodziny Skylake z użyciem **dwóch** łączy UPI



# Rodzina procesorów Intel Skylake

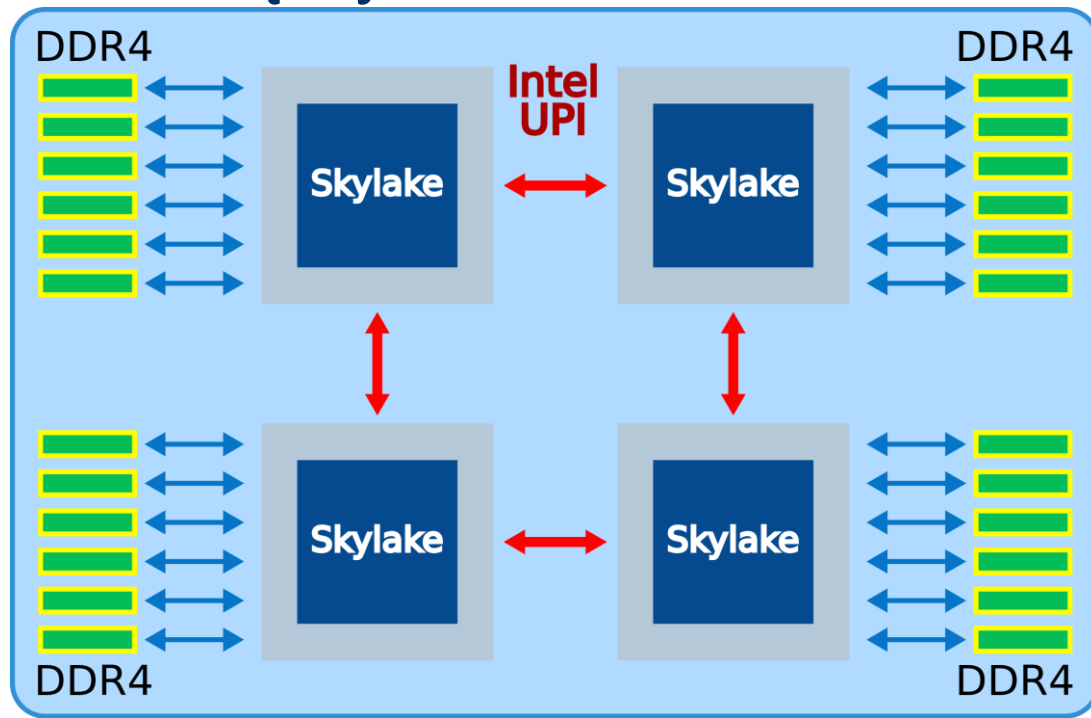
- Przykład połączenia procesorów rodziny Skylake z użyciem **dwóch** łącz UPI



<https://www.supermicro.com>

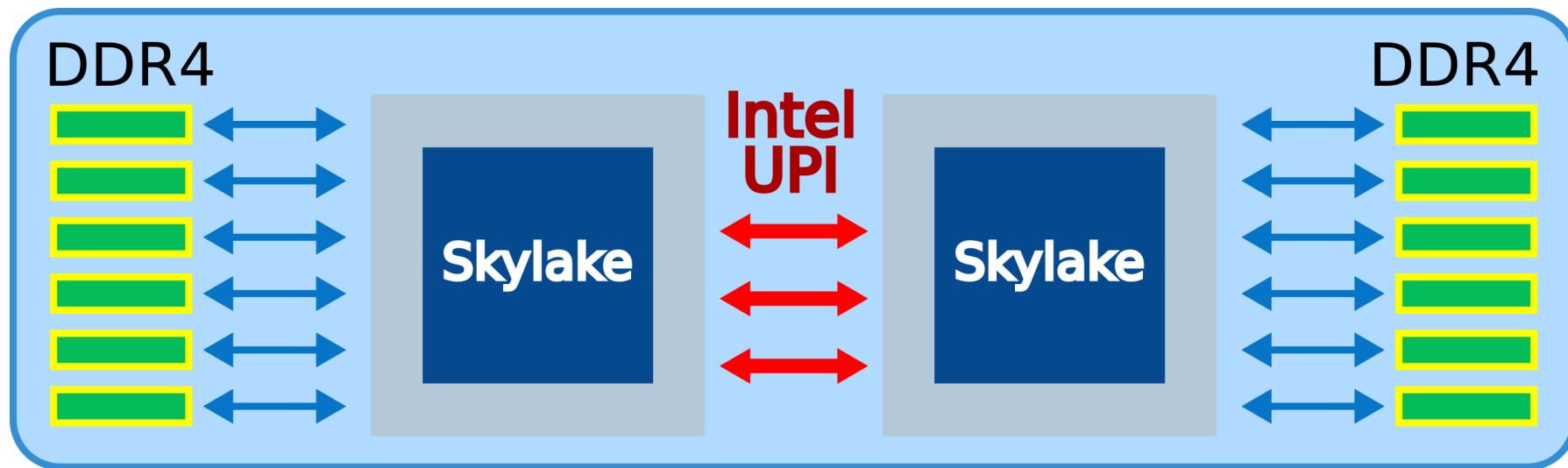
# Rodzina procesorów Intel Skylake

- Przykład połączenia procesorów rodziny Skylake z użyciem **dwóch** łączy UPI



# Rodzina procesorów Intel Skylake

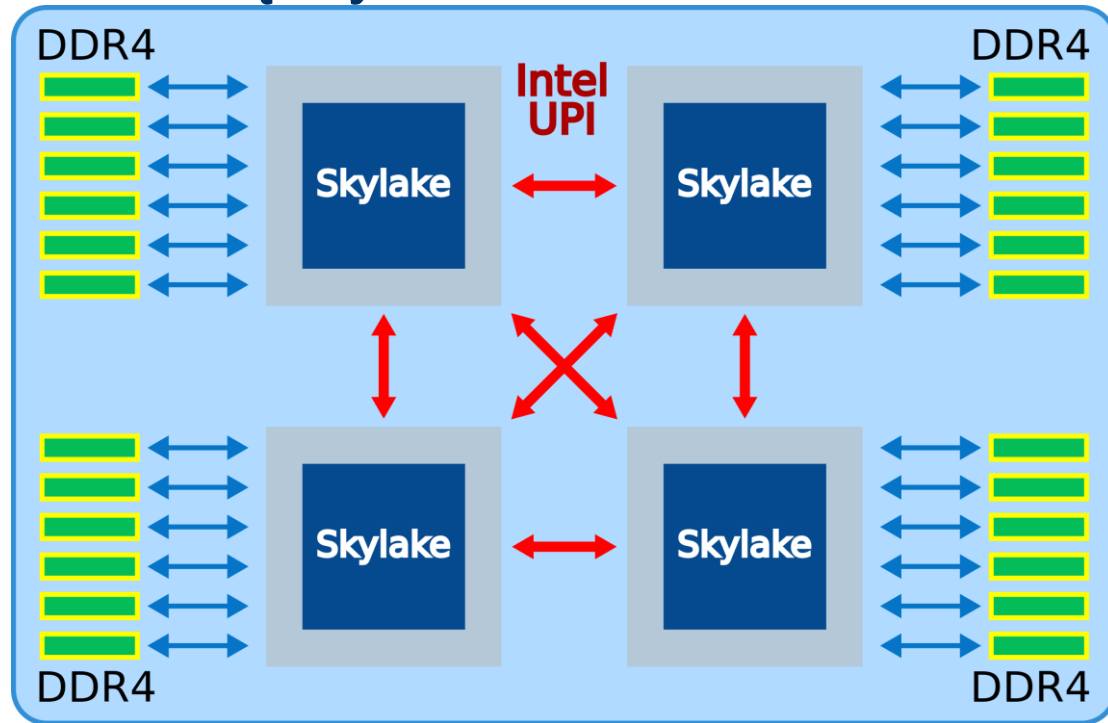
- Przykład połączenia procesorów rodziny Skylake z użyciem **trzech** łączy UPI





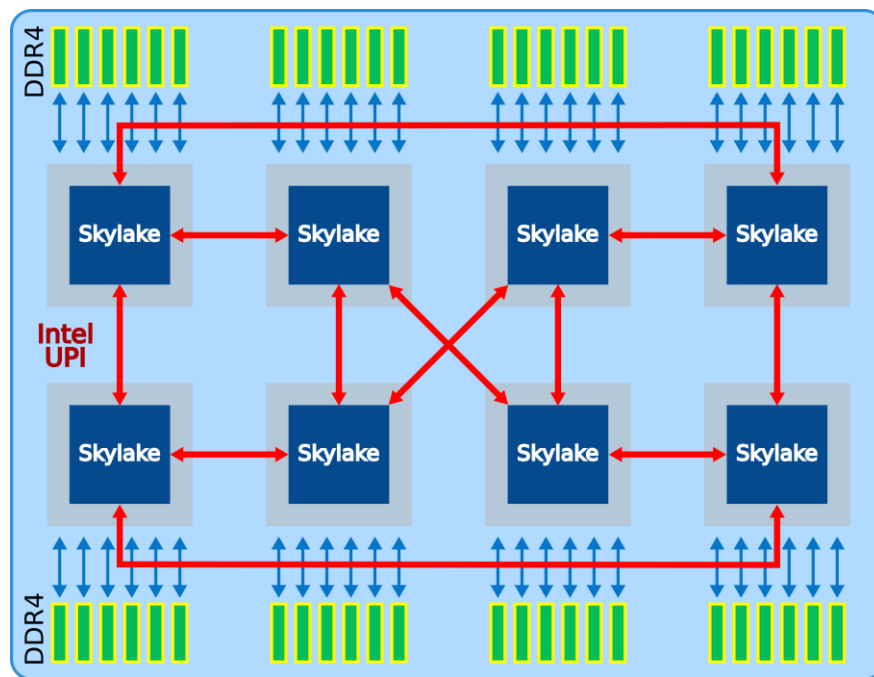
# Rodzina procesorów Intel Skylake

- Przykład połączenia procesorów rodziny Skylake z użyciem **trzech** łączy UPI



# Rodzina procesorów Intel Skylake

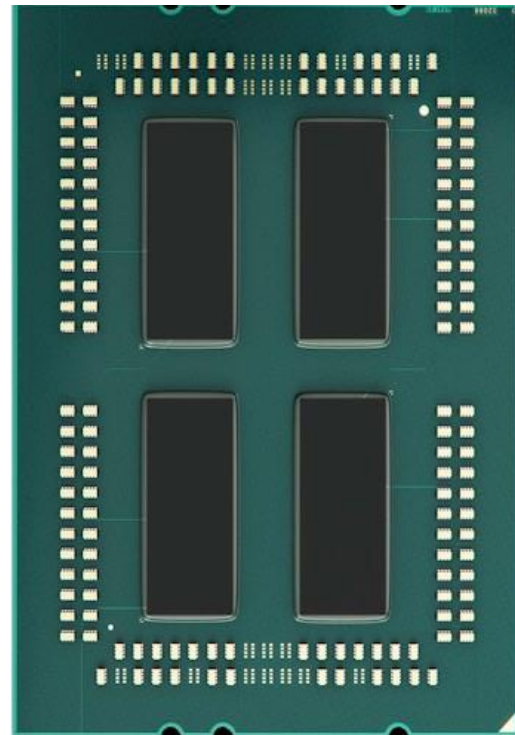
- Przykład połączenia procesorów rodziny Skylake z użyciem **trzech** łączy UPI



# Rozwiązania ccNUMA dla procesorów firmy AMD

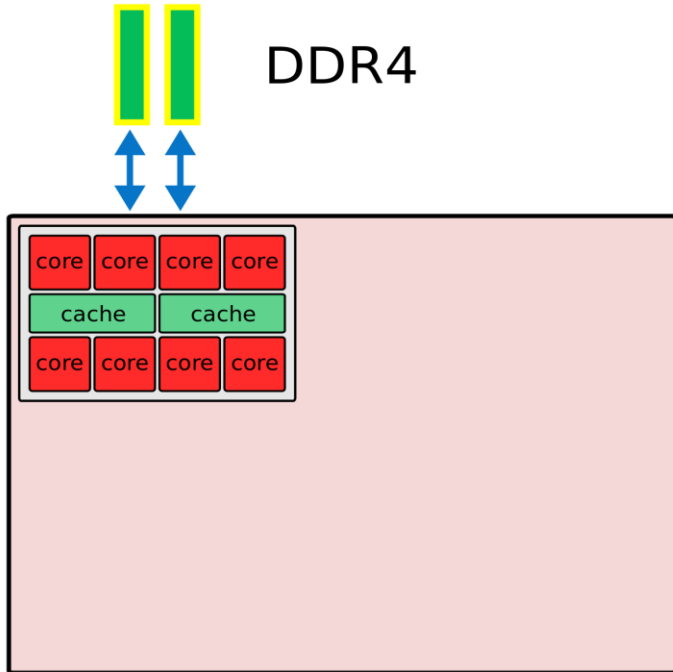
# AMD EPYC

- Nowe procesory AMD z rodziny EPYC umożliwiają zbudowanie systemu z użyciem dwóch gniazd CPU
- Każdy procesor oferuje 8, 16, 24 lub maksymalnie 32 rdzenie
  - Następna generacja będzie wspierać 64 rdzenie
- Komunikacja pomiędzy kluczowymi elementami procesora odbywa się za pomocą magistrali AMD Infinity Fabric (IF)
  - W poprzednich generacjach używano magistrali **AMD HyperTransport**



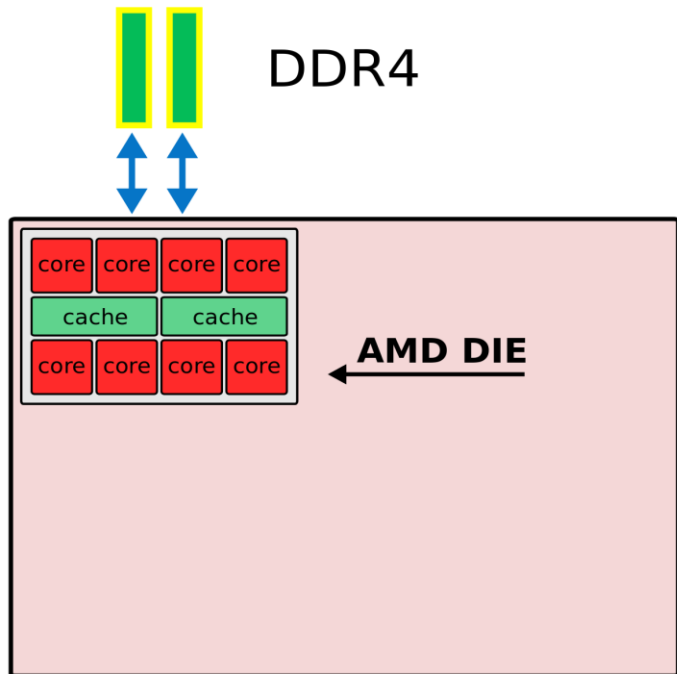
<https://www.amd.com/>

# AMD EPYC

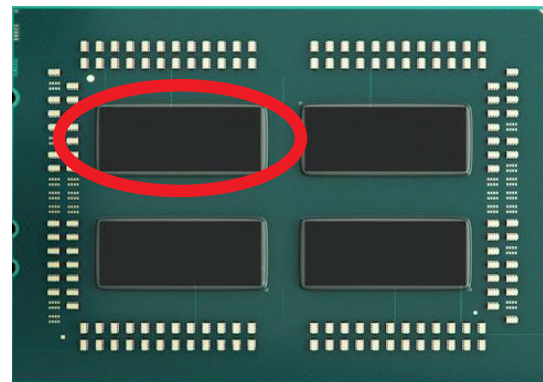


- Pojedynczy procesor z rodziny EPYC zbudowany jest z maksymalnie 4 bloków nazywanych **AMD Die**
  - AMD Die składa się z 8 rdzeni współdzielących pamięć podręczną L3
  - AMD Die zawiera dwa kanały umożliwiające połączenia pamięci RAM DDR4

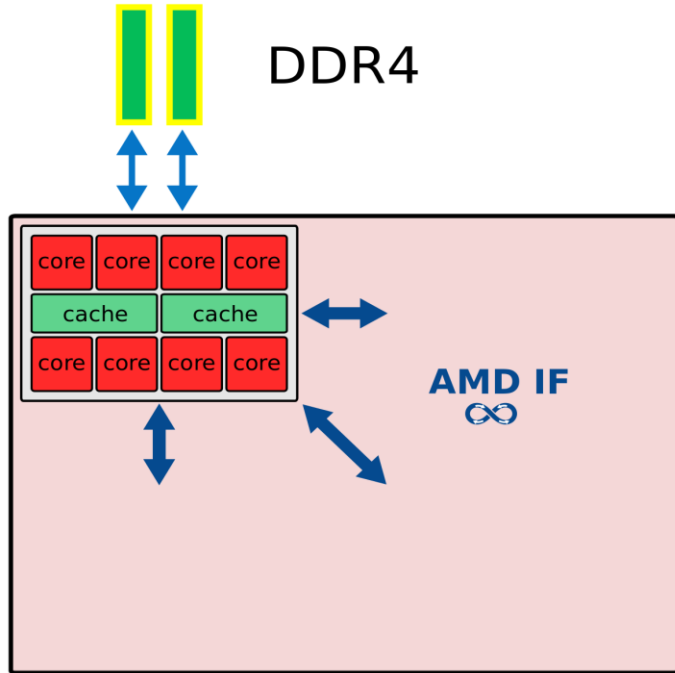
# AMD EPYC



- Pojedynczy procesor z rodziny EPYC zbudowany jest z maksymalnie 4 bloków nazywanych **AMD Die**
  - AMD Die składa się z 8 rdzeni współdzielących pamięć podręczną L3
  - AMD Die zawiera dwa kanały umożliwiające połączenia pamięci RAM DDR4

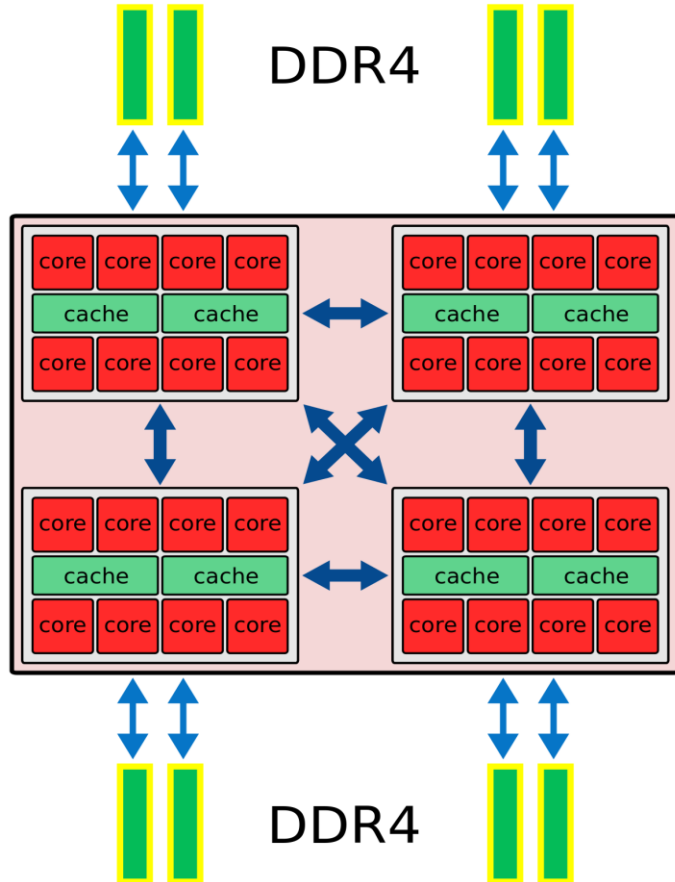


# AMD EPYC



- Pojedynczy procesor z rodziny EPYC zbudowany jest z maksymalnie 4 bloków nazywanych **AMD Die**
  - AMD Die składa się z 8 rdzeni współdzielących pamięć podręczną L3
  - AMD Die zawiera dwa kanały umożliwiające podłączenia pamięci RAM DDR4
  - **AMD Infinity Fabric (IF)** łączy ze sobą wszystkie bloki AMD die

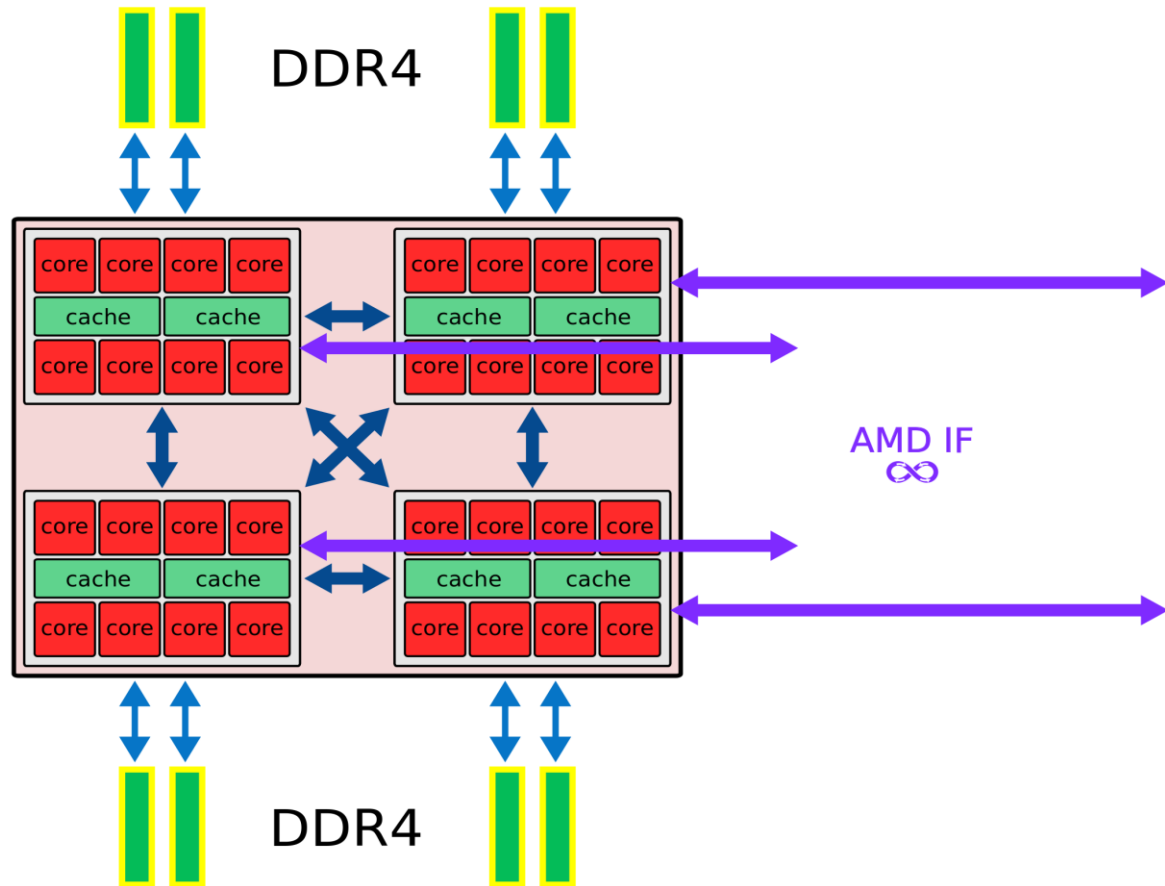
# AMD EPYC



- Pojedynczy procesor z rodziny EPYC zbudowany jest z maksymalnie 4 bloków nazywanych **AMD Die**
  - AMD Die składa się z 8 rdzeni współdzielących pamięć podręczną L3
  - AMD Die zawiera dwa kanały umożliwiające podłączenia pamięci RAM DDR4
  - AMD Infinity Fabric (IF) łączy ze sobą wszystkie bloki AMD die

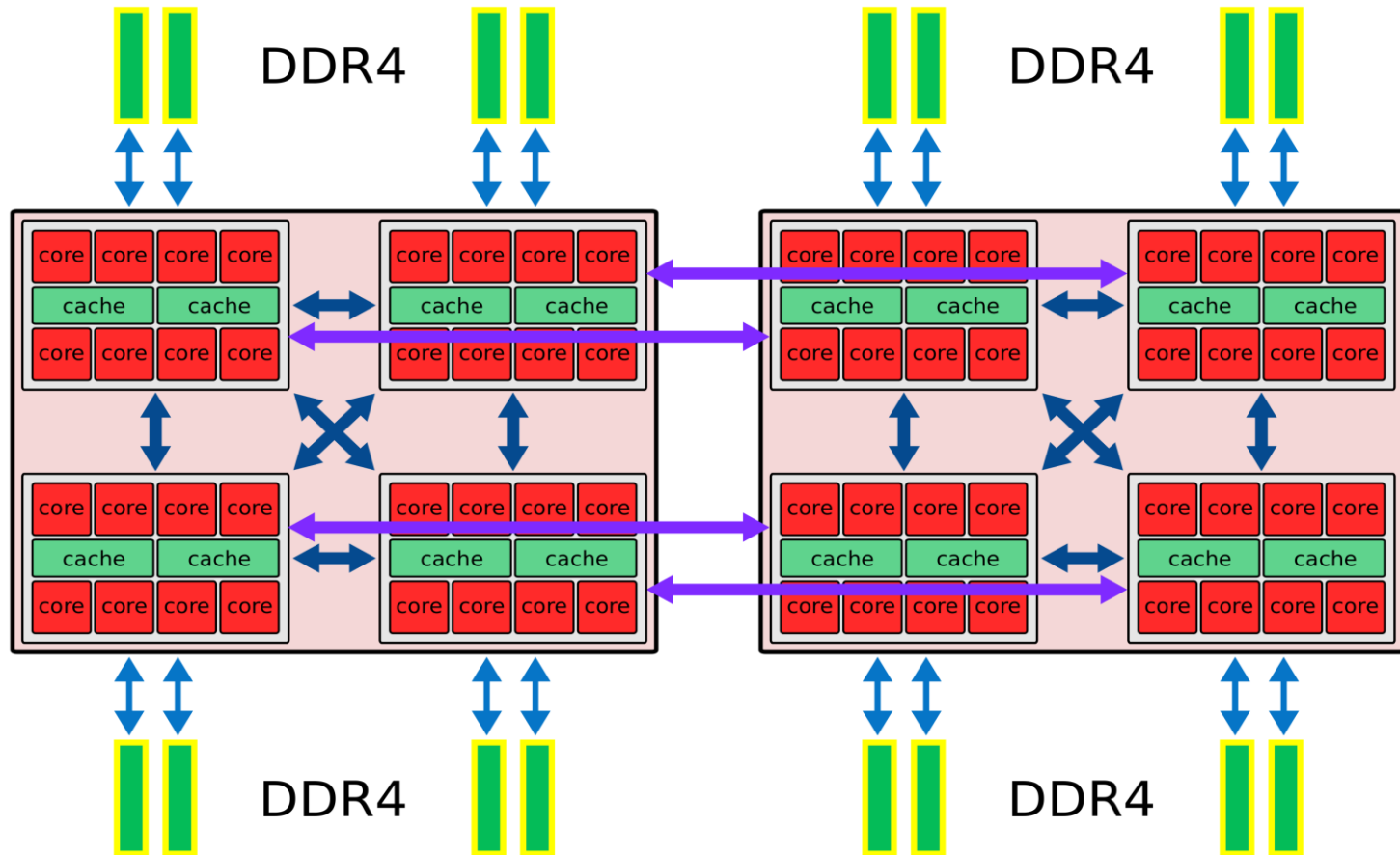


# AMD EPYC



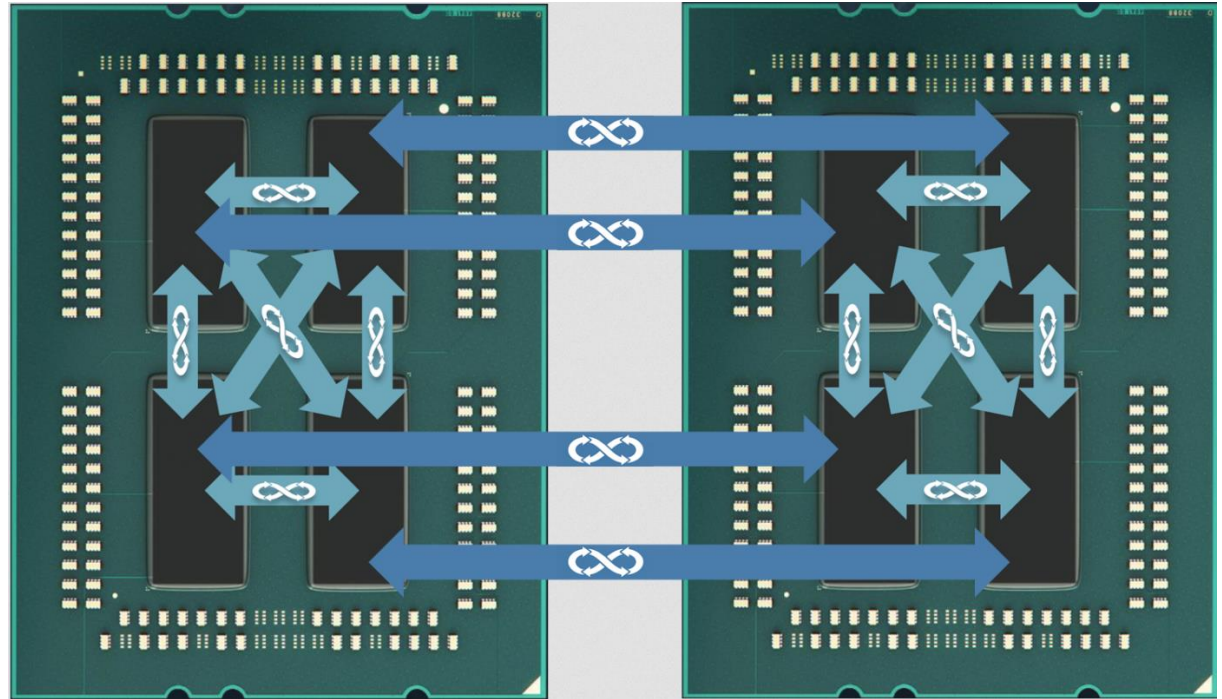
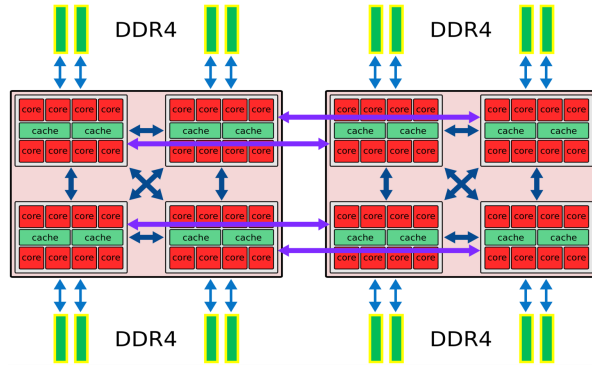
AMD Infinity Fabric (IF)  
łączy ze sobą również  
kolejne procesory

# AMD EPYC (1st gen.)



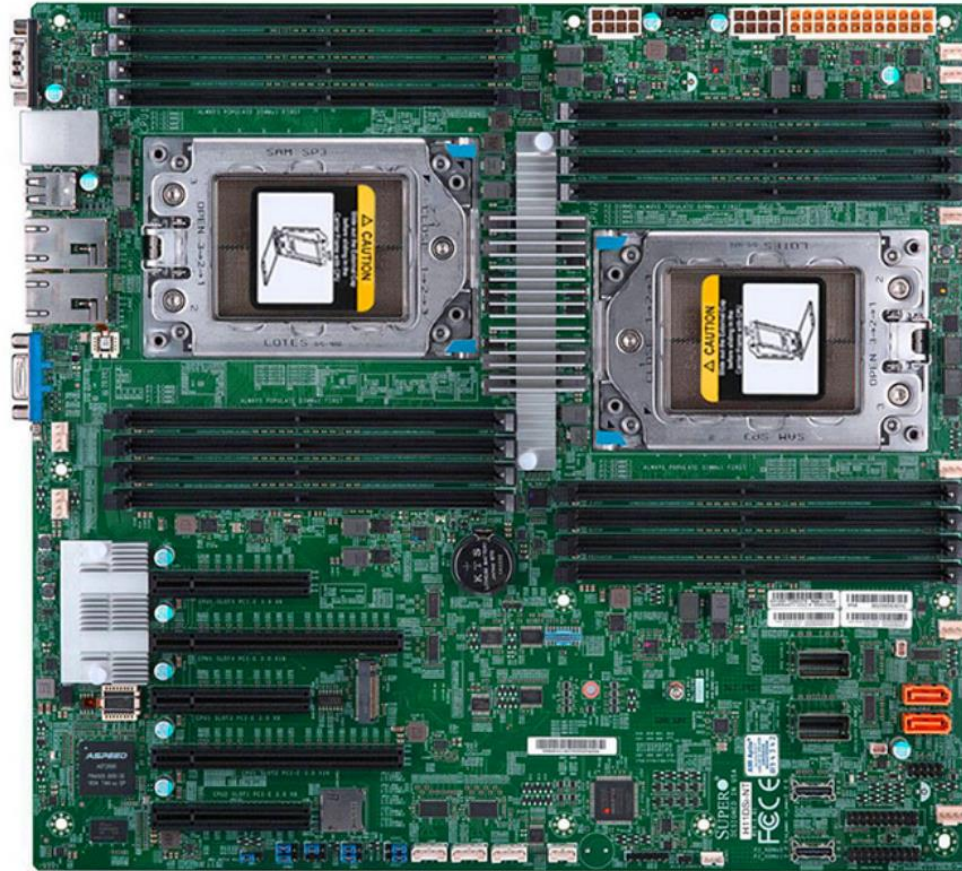
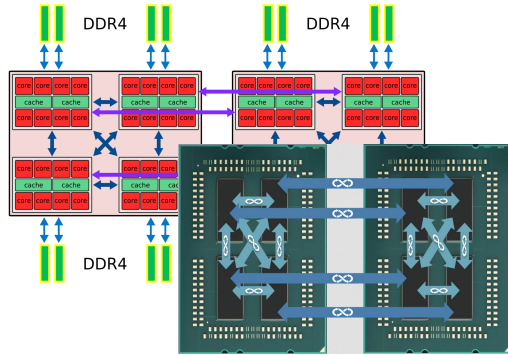
- System dwu procesorowy zawierający maksymalnie 2x32 rdzenie

# AMD EPYC



<https://www.amd.com/>

# AMD EPYC



<https://www.supermicro.com>

# Zużycie energii elektrycznej

# Zużycie energii elektrycznej

- <https://www.top500.org/lists/2019/06/>

<https://www.top500.org/lists/2019/06/>

| Rank | System                                                                                                                                                                            | Cores                                                                                                  | Rmax<br>(TFlop/s) | Rpeak<br>(TFlop/s) | Power<br>(kW) |     |
|------|-----------------------------------------------------------------------------------------------------------------------------------------------------------------------------------|--------------------------------------------------------------------------------------------------------|-------------------|--------------------|---------------|-----|
| 1    | <b>Summit</b> - IBM Power System AC922, IBM POWER9 22C 3.07GHz, NVIDIA Volta GV100, Dual-rail Mellanox EDR Infiniband , IBM DOE/SC/Oak Ridge National Laboratory<br>United States | 2,414,592                                                                                              | 148,600.0         | 200,794.9          | 10,096        |     |
| 174  | Cyfronet<br>Poland                                                                                                                                                                | <b>Prometheus</b> - HP Apollo 8000, Xeon E5-2680v3 12C 2.5GHz, Infiniband FDR, NVIDIA Tesla K40<br>HPE | 55,728            | 1,670.1            | 2,348.6       | 808 |

# Zużycie energii elektrycznej

- <https://www.top500.org/lists/2019/06/>

<https://www.top500.org/lists/2019/06/>

| Rank | System                                                                                                                                                                            | Cores                                                                                                  | Rmax<br>(TFlop/s) | Rpeak<br>(TFlop/s) | Power<br>(kW) |     |
|------|-----------------------------------------------------------------------------------------------------------------------------------------------------------------------------------|--------------------------------------------------------------------------------------------------------|-------------------|--------------------|---------------|-----|
| 1    | <b>Summit</b> - IBM Power System AC922, IBM POWER9 22C 3.07GHz, NVIDIA Volta GV100, Dual-rail Mellanox EDR Infiniband , IBM DOE/SC/Oak Ridge National Laboratory<br>United States | 2,414,592                                                                                              | 148,600.0         | 200,794.9          | 10,096        |     |
| 174  | Cyfronet<br>Poland                                                                                                                                                                | <b>Prometheus</b> - HP Apollo 8000, Xeon E5-2680v3 12C 2.5GHz, Infiniband FDR, NVIDIA Tesla K40<br>HPE | 55,728            | 1,670.1            | 2,348.6       | 808 |

# Zużycie energii elektrycznej

- <https://www.top500.org/lists/2019/06/>

| Rank | System                                                                                                                                                                         | Cores                                                                                               | Rmax<br>(TFlop/s) | Rpeak<br>(TFlop/s) | Power<br>(kW) |     |
|------|--------------------------------------------------------------------------------------------------------------------------------------------------------------------------------|-----------------------------------------------------------------------------------------------------|-------------------|--------------------|---------------|-----|
| 1    | <b>Summit</b> - IBM Power System AC922, IBM POWER9 22C 3.07GHz, NVIDIA Volta GV100, Dual-rail Mellanox EDR Infiniband , IBM DOE/SC/Oak Ridge National Laboratory United States | 2,414,592                                                                                           | 148,600.0         | 200,794.9          | 10,096        |     |
| 174  | Cyfronet Poland                                                                                                                                                                | <b>Prometheus</b> - HP Apollo 8000, Xeon E5-2680v3 12C 2.5GHz, Infiniband FDR, NVIDIA Tesla K40 HPE | 55,728            | 1,670.1            | 2,348.6       | 808 |

- 1kWh = 0,55 zł
- Dla 10 096 kW, 1 godzina kosztuje = 5552,8 PLN
- Dla 808 kW, 1 godzina kosztuje = 444.4 PLN
- Blok energetyczny 858 MW (Bełchatów)  
koszt: ~1 billion EURO





# Dziękuję za uwagę



Kontakt:

**dr hab. inż. Łukasz Szustak, prof. PCz**

[lszustak@icis.pcz.pl](mailto:lszustak@icis.pcz.pl)

Katedra Informatyki

Wydział Inżynierii Mechanicznej i Informatyki

Politechnika Częstochowska