



Ministerstwo Nauki  
i Szkolnictwa Wyższego

**Regionalna Inicjatywa Doskonałości w Dyscyplinach  
Informatyki, Elektrotechniki, Elektroniki, Automatyki i Robotyki  
na Politechnice Częstochowskiej**



**Projekt w ramach programu Regionalna Inicjatywa Doskonałości, decyzja nr 020/RID/2018/19**

# **Architektura Systemów Komputerowych**

## **Budowa, organizacja i zasada działania pamięci w systemach komputerowych**

dr hab. inż. Łukasz Szustak, prof. PCz  
[lszustak@icis.pcz.pl](mailto:lszustak@icis.pcz.pl)

Katedra Informatyki  
Wydział Inżynierii Mechanicznej i Informatyki  
Politechnika Częstochowska



Wydział Inżynierii  
Mechanicznej  
i Informatyki  
The Faculty of Mechanical Engineering  
and Computer Science



Ministerstwo Nauki  
i Szkolnictwa Wyższego

# Regionalna Inicjatywa Doskonałości w Dyscyplinach Informatyki, Elektrotechniki, Elektroniki, Automatyki i Robotyki na Politechnice Częstochowskiej



Projekt w ramach programu Regionalna Inicjatywa Doskonałości, decyzja nr 020/RID/2018/19

**Zamieszczane materiały służą wyłącznie do celów  
indywidualnego kształcenia. Nie wyrażam zgody na ich  
utrwalanie przekazywanie osobom trzecim ani  
rozpowszechnianie.**



dr hab. inż. Łukasz Szustak, prof. PCz  
[lszustak@icis.pcz.pl](mailto:lszustak@icis.pcz.pl)

Katedra Informatyki  
Wydział Inżynierii Mechanicznej i Informatyki  
Politechnika Częstochowska



Wydział Inżynierii  
Mechanicznej  
i Informatyki  
The Faculty of Mechanical Engineering  
and Computer Science

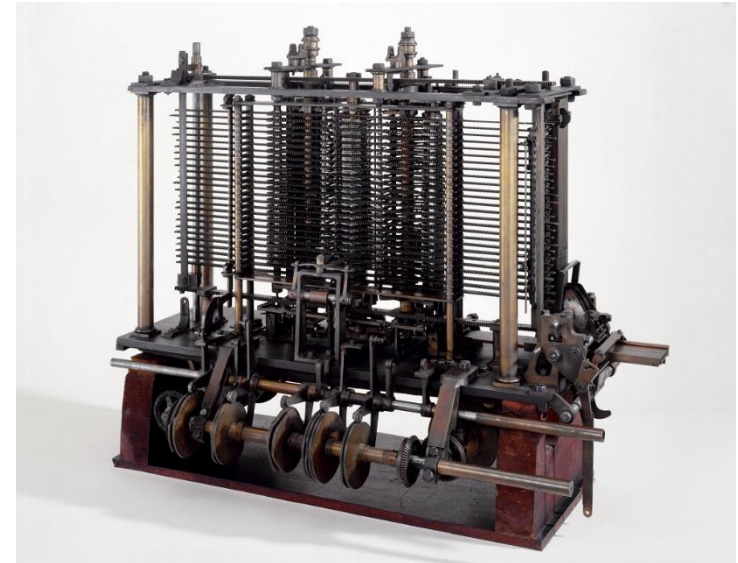
# Pamięć cyfrowa

Pamięć cyfrowa to układ elektroniczny lub mechaniczny służący do przechowywania informacji w postaci binarnej.



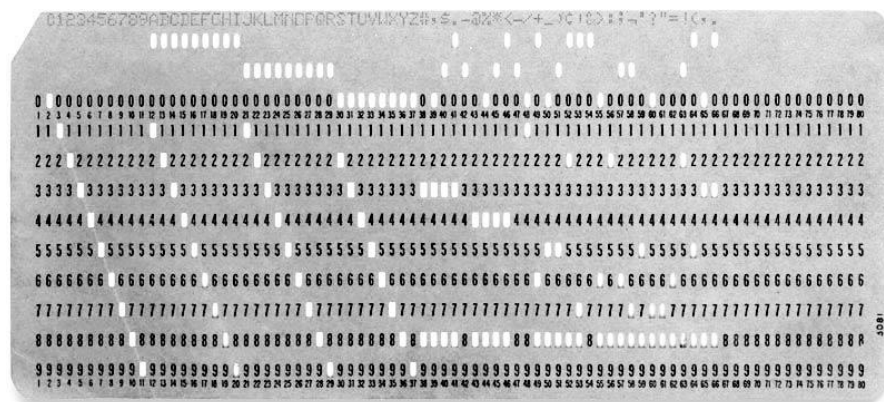
# Historia pamięci komputerowej

- Za twórcę pierwszego programowalnego komputera uznaje się Charlesa Babbage'a, który w 1834 r. zaprojektował maszynę analityczną.
- Prototyp zakładał napędzanie silnikiem parowym natomiast nośnikami danych miały być **karty perforowane**.
- Urządzenie nigdy nie zostało w pełni ukończone.
- W 2010 r. rozpoczęto pracę w projekcie o nazwie Plan28, którego celem jest zbudowanie maszyny analitycznej Charlesa Babbage'a.



# Historia pamięci komputerowej

- Mimo tego, że karty perforowane zostały wynalezione przez Josepha Jacquarda żyjącego na przełomie XVIII i XIX wiek, ten sposób zapisywania danych funkcjonował aż do lat 80. XX wieku.
- Jednym ze standardów był format wprowadzony przez firmę IBM, który przewidywał 80 kolumn oraz prostokątne otwory. Każda kolumna reprezentowała jeden znak.



- Zasada działania polegała na dziurkowaniu odpowiednich miejsc za pomocą specjalnej maszyny.
- Wprowadzanie danych do komputera umożliwiał czytnik kart, będący urządzeniem wejścia.
- Wydajność wynosiła 1500 znaków na sekundę.



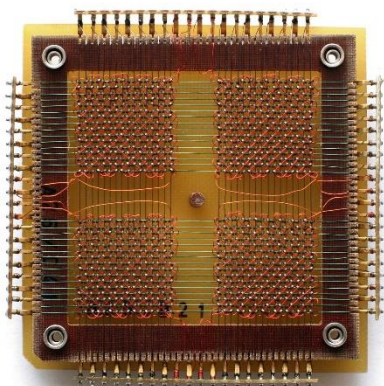
# Historia pamięci komputerowej

- Podobną zasadą działania cechowały się **taśmy perforowane**. Składały się one z różnej liczby ścieżek.
- Popularnym rodzajem była taśma 8-ścieżkowa, która umożliwiała kodowanie z wykorzystaniem systemu ASCII.



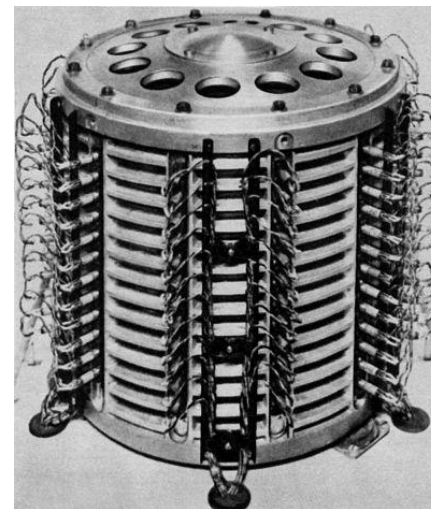
- Następcą taśm perforowanych są **taśmy magnetyczne**. Charakteryzują się większą pojemnością.
- Zostały one wykorzystane w pierwszym na świecie elektronicznym komputerze ogólnego przeznaczenia jakim był UNIVAC. Jeden cal taśmy pozwalał na zapis 128 znaków. Wykorzystanie 8 równoległych ścieżek o prędkością 100 cali na sekundę, pozwalało na wydajność 12800 znaków na sekundę.

# Historia pamięci komputerowej

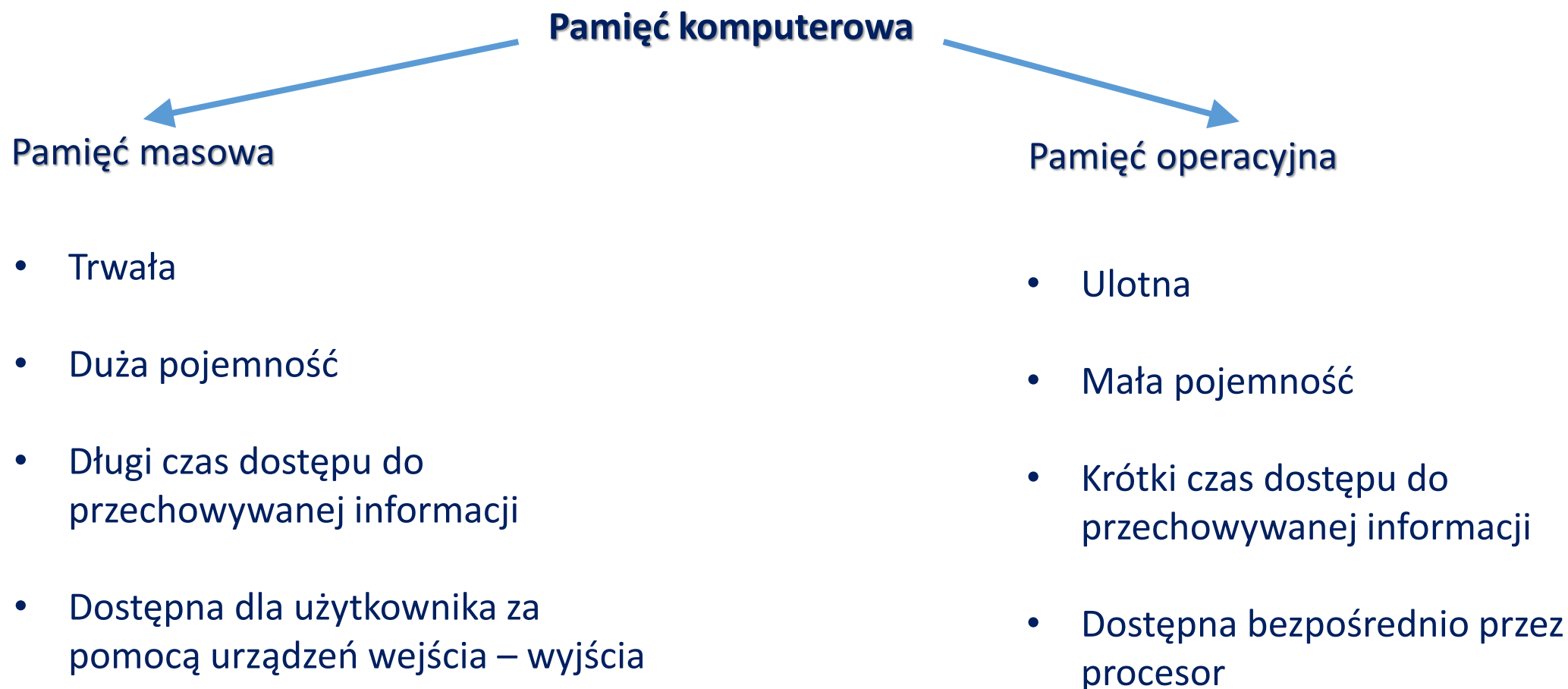


- Kolejnym historycznym rodzajem pamięci jest **pamięć ferrytowa**. Była szeroko stosowana na początku drugiej połowy XX wieku. Dane przechowywane były jako kierunek namagnesowania rdzeni ferrytowych.

- Od połowy XX wieku korzystano także z **pamięci bębnowej**. Dane zapisywano jako ścieżki magnetyczne na powierzchni wirującego walca. Ten rodzaj pamięci wykorzystywany był w polskich komputerach XX wieku (Odra, ZAM, UMC). Został wyparty przez pamięć dyskową.



# Podział pamięci komputerowej





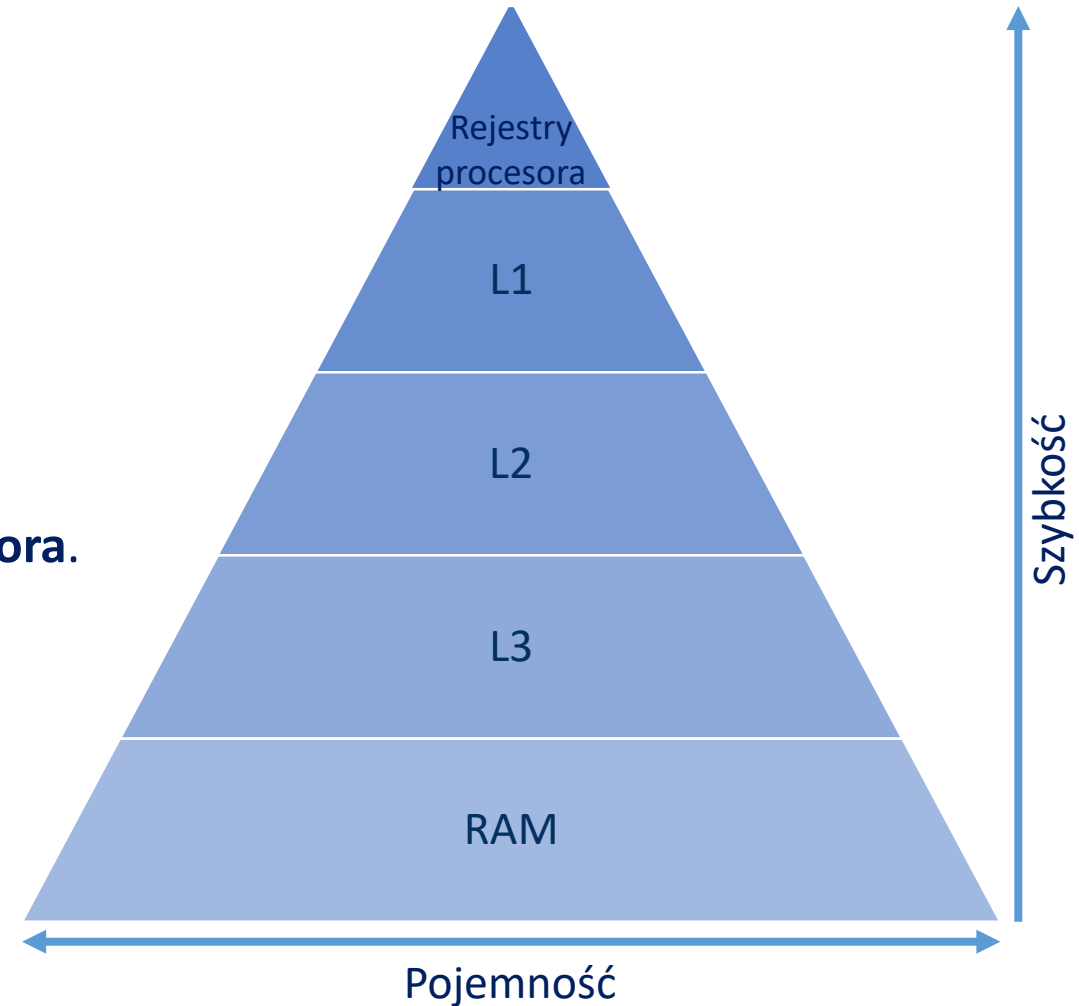
# Pamięć masowa



# Pamięć operacyjna



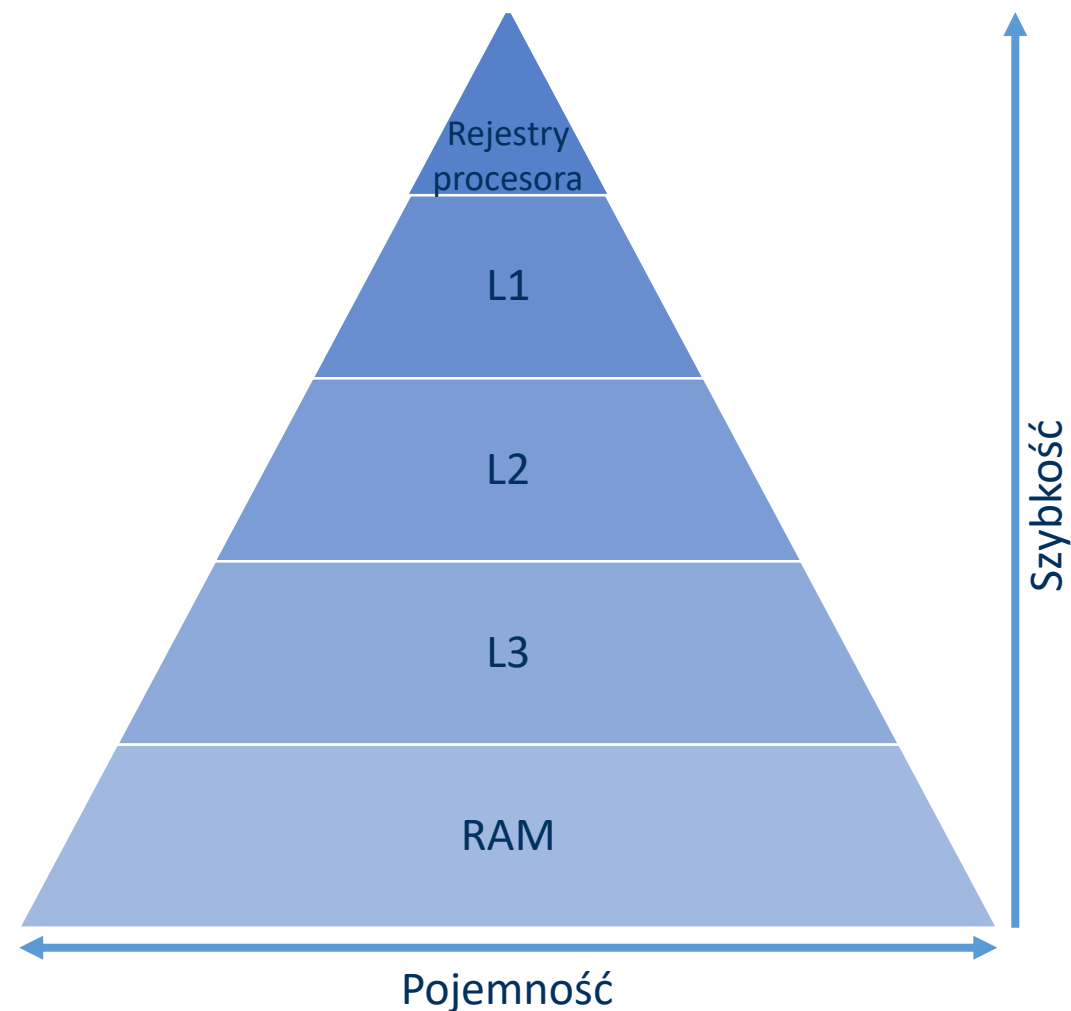
Najszybszym rodzajem pamięci operacyjnej są **rejestry procesora**.  
Charakteryzują się bardzo małą pojemnością.



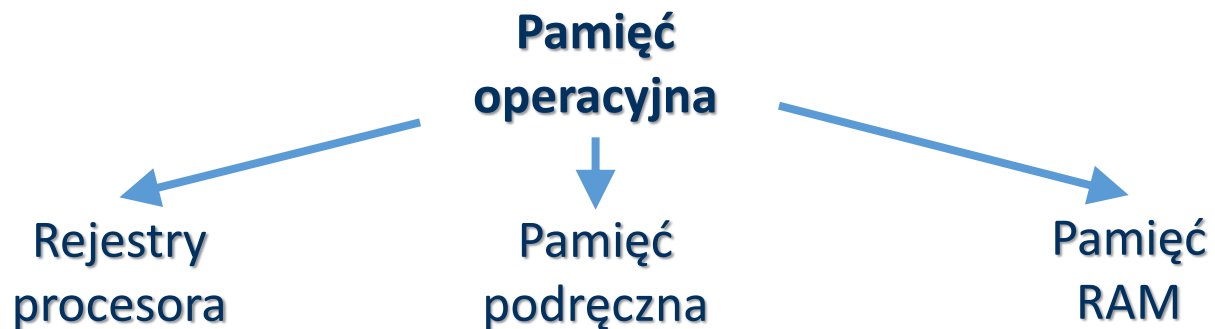
# Pamięć operacyjna



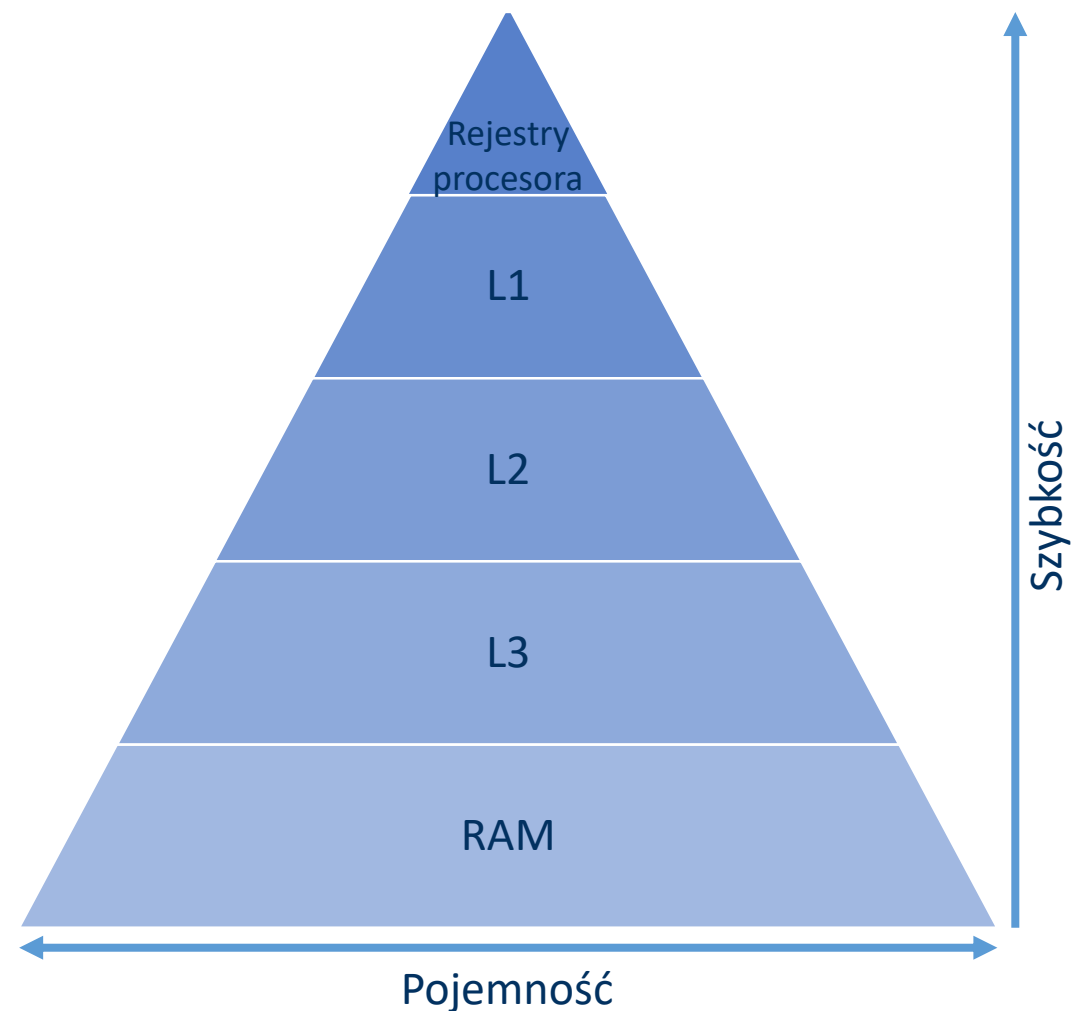
**Pamięć podręczna** została wprowadzona w celu zwiększenia wydajności komputerów. Przechowuje powielone, najczęściej używane dane z wolniejszej pamięci RAM. Jest zbudowana hierarchicznie. Pamięć L1 znajduje się we wnętrzu procesora, przez co cechuje się dużą szybkością ale także mocno ograniczoną pojemnością, liczoną zazwyczaj w KB. Rozmiar wolniejszej pamięci L2 to zazwyczaj kilka MB. Ostatni poziom pamięci L3 jest najwolniejszy i współdzielony przez wszystkie rdzenie. Jej rozmiar zazwyczaj nie przekracza kilkudziesięciu MB.



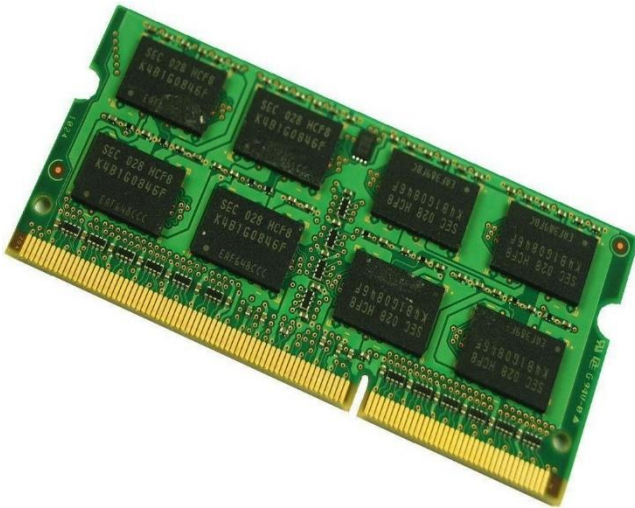
# Pamięć operacyjna



Najwolniejszym typem pamięci operacyjnej jest pamięć o dostępie swobodnym **RAM** (random access memory). Ten rodzaj pamięci charakteryzuje się największą pojemnością. Współczesne komputery dysponują pamięcią RAM o pojemności zazwyczaj od kilku do kilkudziesięciu GB



# Pamięć RAM



- RAM (Random Access Memory) to pamięć o dostępie swobodnym
- Oznacza to, że kolejność dostępu do poszczególnych komórek pamięci jest dowolna.
- Stanowi pamięć operacyjną komputera
- Informacja przechowywana jest w pamięci RAM w postaci bitów umieszczanych w komórkach
- Każda komórka pamięci ma unikalny adres i przechowuje dane w postaci grupy bitów (najczęściej jest ich 8 - czyli 1 bajt)

| Pamięć |                   |
|--------|-------------------|
| Adres  | Zawartość komórki |
| 0      | 11000110          |
| 1      | 00001111          |
| 2      | 11000011          |
| 3      | 11111110          |
| 4      | 00000001          |
| 5      | 11100111          |
| ...    | ...               |

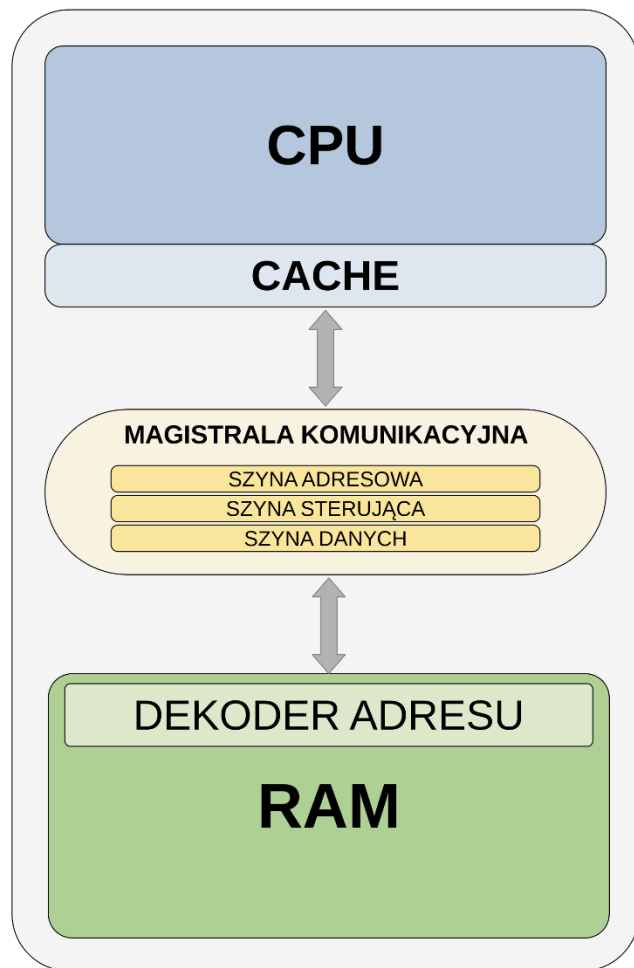


# Pamięć RAM

- Komputer steruje pamięcią przy pomocy „trzech” magistral
  - Magistrala adresowa
  - Magistrala danych
  - Magistrala sterująca
- Magistrale zbudowane są z linii, którymi transmituje się sygnały (poszczególne linie przesyłają tylko sygnały dwustanowe, czyli bity)



# Działanie RAM



## Zapis

- ☐ CPU przesyła adres komórki na szynę adresową
- ☐ CPU przesyła dane za pomocą szyny danych
- ☐ Żądanie zapisu danych zostaje wysłane do pamięci za pomocą szyny sterującej
- ☐ Dekoder adresu identyfikuje adres komórki
- ☐ Dane z szyny danych zostają zapisane w odpowiednich komórkach

## Odczyt

- ☐ CPU przesyła adres komórki na szynę adresową
- ☐ Żądanie odczytu danych zostaje wysłane do pamięci za pomocą szyny sterującej
- ☐ Dekoder adresu identyfikuje adres komórki
- ☐ Pamięć przesyła dane za pomocą szyny danych
- ☐ CPU odbiera dane z szyny danych

# Pamięć RAM:

## magistrala adresowa

- Magistrala adresowa przekazuje adres komórki w postaci binarnej, natomiast liczba linii na magistrali adresowej określa zakres dostępnych adresów,
- W efekcie maksymalny obsługiwany rozmiar pamięci komputera wynosi  $2^n$  gdzie parametr  $n$  określa liczbę linii na magistrali adresowej, a każda linia przyjmuje dwa stany 0 lub 1
- Przykładowo
  - dla magistrali adresowej składającej się z 16 linii maksymalny możliwy do zaadresowania rozmiar pamięci wynosił  $2^{16} = 65536$  komórek (64KB)
  - dla magistrali adresowej składającej się z 32 linii maksymalny możliwy do zaadresowania rozmiar pamięci wynosił  $2^{32} = 4294967296$  komórek (4GB)
- Oczywiście w systemie może być mniej pamięci, w takim przypadku część adresów nie jest wykorzystywana, gdyż nie stoją za nimi żadne komórki
- Ilość możliwych do zaadresowania komórek nosi nazwę przestrzeni adresowej (address space)
- Natomiast pamięć fizyczna (physical memory, physical storage) określa ilość pamięci rzeczywiście zainstalowanej w systemie komputerowym

# Pamięć RAM:

## magistrala danych

- Umożliwia komputerowi przekazywanie danych do pamięci oraz odczyt przechowywanych przez pamięć informacji z komórek
- Magistrala danych zbudowana jest z linii sygnałowych, po których przekazywane są bity
- Ilość linii na magistrali danych zależy od architektury komputera, przykładowo:
  - w systemach 64-bitowych magistrala danych może zawierać 64 linie, co pozwala w jednym cyklu dostępu do pamięci przesłać porcję 64 bitów
  - w systemach 32-bitowych magistrala danych może zawierać 32 linie, co pozwala w jednym cyklu dostępu do pamięci przesłać porcję 32 bitów
- Obecne systemy oferują wielokanałową konstrukcję dostępu do pamięci, zwielokrotniając tym szerokość magistrali,
  - W efekcie szerokość magistrali danych jest równa iloczynowi liczby kanałów i liczby linii
  - Przykładowo, szerokość magistrali danych dla systemów 64 bitowe mających 6 kanałów wynosi 384 bitów ( $64 \cdot 6$ )

# Pamięć RAM: magistrala danych

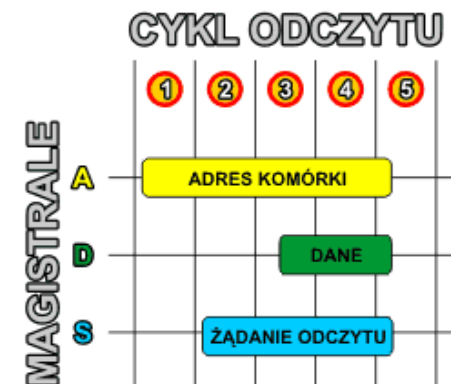
- Pamięć komputera jest podzielona na dedykowaną dla danej architektury liczbę banków
- Banki są połączone do wspólnej magistrali adresowej
- Dla architektury 32 bitowej (32 linie na magistralę na kanał) pamięć komputera podzielona jest na 4 obszary nazywane bankami, a każdy bank współpracuje z 8 liniami magistrali danych i zarządza ćwiartką rozmiaru pamięci podłączonej do kanału
- Analogicznie, dla architektury 64 bitowej (64 linie na magistralę na kanał) pamięć komputera podzielona jest na 8 banków
- Dostęp do danych odbywa się poprzez banki, a w konsekwencji efektywne wykorzystanie magistrali wiąże się z dostępem do danych zapisanych w różnych bankach
- Pobieranie wielu danych z jednego banku zwiększa liczę niezbędnych transferów

| Bank 3 |           | Bank 2 |           | Bank 1 |           | Bank 0 |           |
|--------|-----------|--------|-----------|--------|-----------|--------|-----------|
| Adres  | Zawartość | Adres  | Zawartość | Adres  | Zawartość | Adres  | Zawartość |
| 3      | 00000000  | 2      | 11111111  | 1      | 11110000  | 0      | 00001111  |
| 7      | 11001100  | 6      | 10101010  | 5      | 01010101  | 4      | 11000011  |
| 11     | 11100111  | 10     | 10000001  | 9      | 01111110  | 8      | 11010011  |
| 15     | 11010110  | 14     | 00101100  | 13     | 00111010  | 12     | 11010100  |
| 19     | 11010010  | 18     | 00010100  | 17     | 00100100  | 16     | 11011110  |
|        |           | ...    |           | ...    |           | ...    |           |

Magistrala danych 32 bitowe – dostęp do pamięci realizowany jest przez 4 banki

# Pamięć RAM: magistrala sterująca

- Magistrala sterująca pozwala na kierowanie pracą pamięci
- Magistrala ta zawiera kilka linii, które określają rodzaj wykonywanej przez pamięć operacji (zapis lub odczyt) oraz uaktywniają odpowiednie banki pamięci w systemach 16-, 32- i 64-bitowych
- Uproszczony cykl odczytu:
  - Na magistrali adresowej A komputer umieszcza adres komórki pamięci, z której chce odczytać dane
  - Magistralą sterującą S przesłane zostaje do pamięci żądanie odczytu danych
  - W odpowiedzi pamięć wyszukuje pożądaną komórkę i umieszcza na magistrali danych D jej zawartość
  - Komputer odczytuje z magistrali danych zawartość zaadresowanej komórki
  - Cykl zostaje zakończony, sygnały wracają do stanu neutralnego





# Podział pamięci RAM

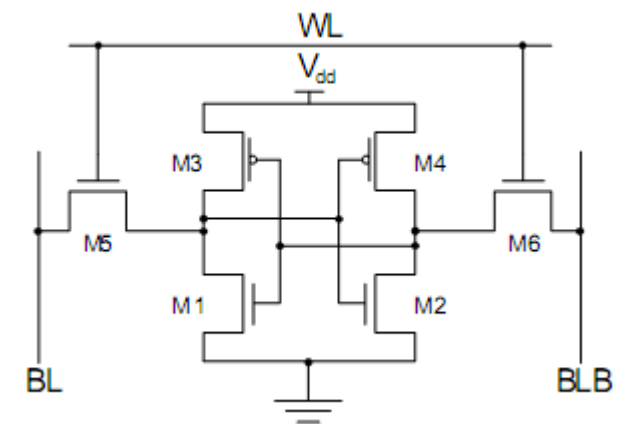
- Pamięć RAM dzieli się ze względu na sposób przechowywania informacji.



- Pamięć statyczna przechowuje dane do momentu utraty zasilania
- Pamięć dynamiczna charakteryzuje się szybką utratą informacji, przez co wymaga cyklicznego odświeżania, w celu podtrzymania informacji

# Pamięć statyczna SRAM

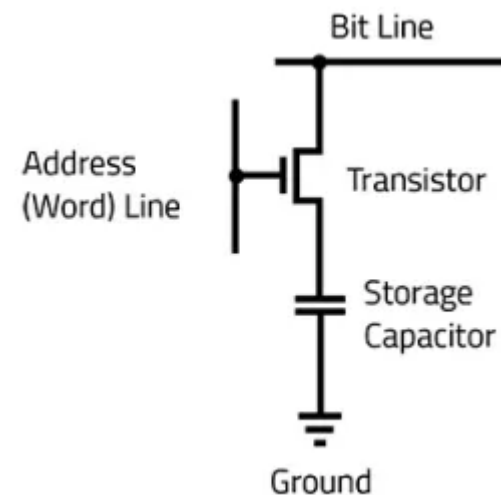
- Pamięć statyczna cechuje się bardzo dużą szybkością
- Jest zdecydowanie szybsza niż pamięć dynamiczna
- Nie wymaga odświeżania
- Ma stosunkowo złożoną budowę: zapamiętanie jednego bitu wymaga użycia 6 tranzystorów
- Ze względu na budowę nie osiąga dużych pojemności
- Jest wykorzystywana do budowy pamięci podręcznej



*Komórka pamięci SRAM*

# Pamięć dynamiczna DRAM

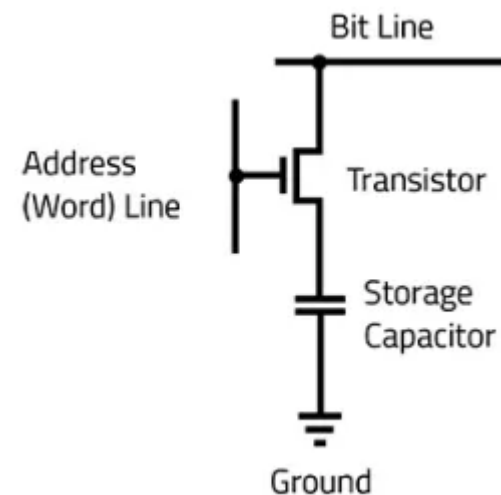
- Jej budowa jest prostsza niż pamięci statycznej, a w związku z tym tańsza
- Pojedyncza komórka składa się z dwóch tranzystorów, z których jeden jest kondensatorem, drugi natomiast pełni rolę elementu separującego
- Idea polega na wykorzystaniu kondensatora do zapamiętywania informacji
- Kondensator naładowany ładunkiem elektrycznym w wyniku przepływu elektronów przez warstwę izolacyjną, bardzo szybko (milisekundy) ulega rozładowaniu



*Komórka pamięci DRAM*

# Pamięć dynamiczna DRAM

- Rozładowanie kondensatora powoduje utratę informacji, więc pamięć DRAM wymaga odświeżania
- Odświeżanie następuje cyklicznie i polega na ponownym zapisie wartości przy pomocy wzmacniaczy odświeżających
- Konieczność regularnego odświeżania powoduje, że pamięć dynamiczna jest zdecydowanie wolniejsza w porównaniu ze statyczną
- Z uwagi na swoją nieskomplikowaną budowę pozwala jednak na przechowywanie znacznie większej ilości danych niż pamięć statyczna



*Komórka pamięci DRAM*

# Rozwój DRAM - FPM

FPM

1987

## FPM (Fast Page Mode)

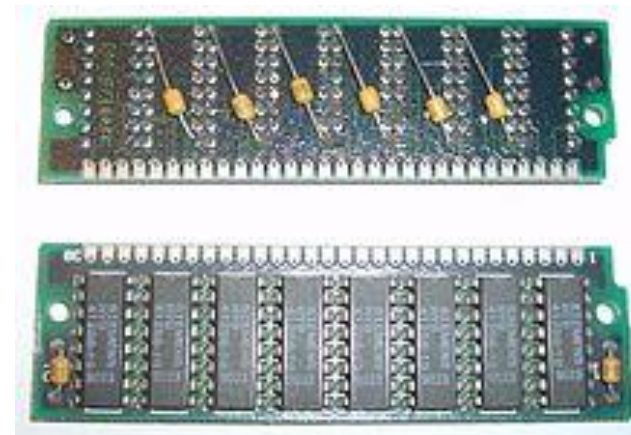
Wprowadzenie FPM przyspieszyło działanie dotychczasowych pamięci DRAM. Zapis i odczyt danych z komórek znajdujących się w tym samym wierszu (co często ma miejsce) mógł odbywać się bez podawania jego adresu.

Montowane w 30-pinowych modułach SIMM.

Maksymalna częstotliwość wynosiła 22 MHz.

Teoretyczna przepustowość 177MB/s.

Napięcie 5V.



*30-pinowy moduł SIMM*

# Rozwój DRAM - EDO



*72-pinowy moduł SIMM*

## EDO (Extended Data Out)

Zwiększono wydajność o około 5-15 % względem FPM.

Nowość polegała na likwidacji bezczynnych cykli pomiędzy kolejnymi operacjami.

Efekt ten uzyskano dzięki umożliwieniu rozpoczęcia nowego cyklu dostępu w trakcie trwania poprzedniego.

Montowane w 72-pinowych modułach SIMM.

Maksymalna częstotliwość wynosiła 33 MHz.

Teoretyczna przepustowość 266 MB/s.

Napięcie 5V.

# Rozwój DRAM – SDR SDRAM



## SDR SDRAM (Single Data Rate Synchronous Dynamic Random Access Memory)

Nowy rodzaj pamięci różnił się od dotychczasowych synchroniczną pracą z magistralą systemową. Zastosowanie przeplotu pozwoliło na oszczędność czasu podczas wykonywania operacji odczytu i zapisu w różnych bankach. Przesył pakietowy polega na jednoczesnym odczytywaniu danych z sąsiednich lokalizacji i gromadzeniu ich w pamięci podręcznej, dzięki czemu są dostępne szybciej podczas wykonywania kolejnych operacji. Montowane w 168-pinowych modułach DIMM, które różniły się od SIMM występowaniem styków po obu stronach płytki drukowanej.

Maksymalna częstotliwość wynosiła 133 MHz.

Teoretyczna przepustowość 1066 MB/s.

Napięcie 3.3 V.



*168-pinowy moduł DIMM*



# Rozwój DRAM – RDRAM

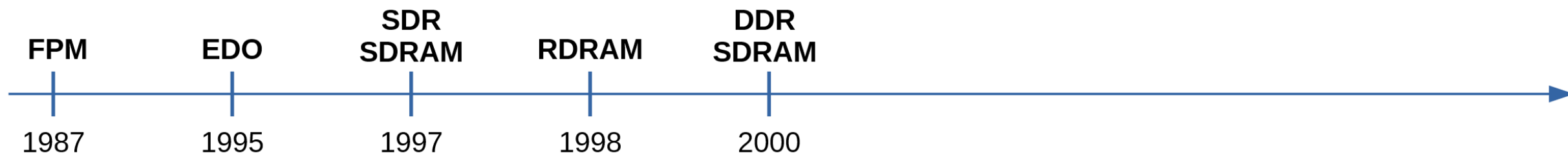


*184-pinowy moduł RIMM*

## RDRAM (Rambus Direct RAM)

Pamięć stworzona przez firmę Rambus jako następca SDRAM. Na przełomie XX i XXI wieku stosowane w rozwiązaniach firmy Intel. Wadami technologii RDRAM był znaczący wzrost opóźnień, zwiększenie wytwarzania ciepła oraz wysokie koszty produkcji. Montowane były w 184-pinowych modułach RIMM firmy Rambus. Charakteryzowały się występowaniem radiatora. Maksymalna częstotliwość wynosi 1066 MB/s. Teoretyczna przepustowość 2133 MB/s. Napięcie 2.5 V.

# Rozwój DRAM – DDR SDRAM



**DDR SDRAM (Double Data Rate Synchronous Dynamic Random Access Memory)**

Jest rozwinięciem technologii SDR SDRAM.

Pozwala na osiągnięcie dwa razy większej przepustowości.

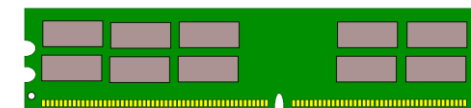
Innowacja polega na tym, że dane są przesyłane zarówno w czasie zbocza rosnącego jak i opadającego.

Montowane w 184-pinowych modułach DIMM.

Maksymalna częstotliwość efektywna wynosi 433 MHz.

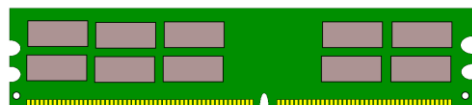
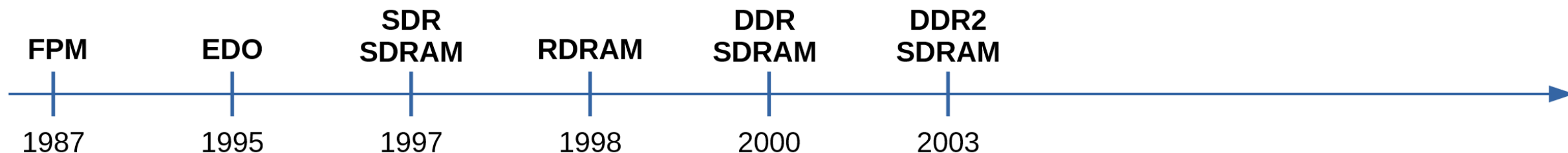
Teoretyczna przepustowość 3.5 GB/s.

Napięcie 2.5 V.

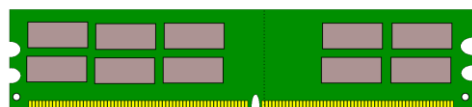


*184-pinowy moduł DIMM - DDR*

# Rozwój DRAM – DDR2 SDRAM



184-pinowy moduł DIMM - DDR



240-pinowy moduł DIMM – DDR2

## DDR2 SDRAM (Double Data Rate 2 Synchronous Dynamic Random Access Memory)

Zmniejszenie napięcia spowodowało spadek zużycia energii.

Układy terminujące, znajdujące się do tej pory na płycie głównej, zostały przeniesione do wnętrza pamięci.

Zabieg ten miał na celu likwidację błędów powstających na skutek transmisji odbitych sygnałów.

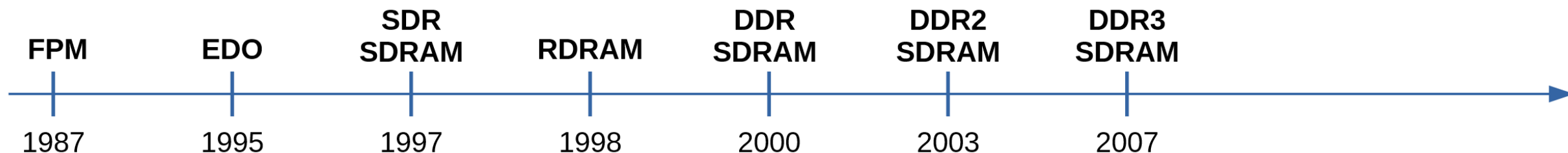
Montowane w 240-pinowych modułach DIMM.

Maksymalna częstotliwość efektywna została zwiększona do 1066 MHz.

Teoretyczna przepustowość 8.5 GB/s.

Napięcie 1.8 V.

# Rozwój DRAM – DDR3 SDRAM



## DDR3 SDRAM (Double Data Rate 3 Synchronous Dynamic Random Acces Memory)

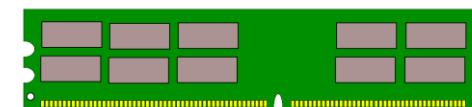
W porównaniu do poprzedniego standardu zapotrzebowanie na energię spadło o 40%. Znaczne zwiększenie częstotliwości pozwoliło na zachowanie czasów opóźnień, które bez tej operacji byłyby większe niż w DDR2.

Mimo tego, że liczba pinów jest niezmienną w stosunku do DDR2 i wynosi do 240, moduły nie są kompatybilne.

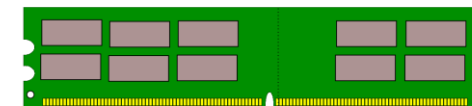
Maksymalna częstotliwość efektywna została zwiększona do 2400 MHz.

Teoretyczna przepustowość 19.2 GB/s.

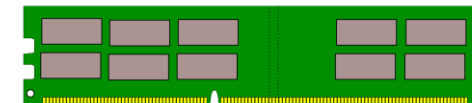
Napięcie 1.5 V.



184-pinowy moduł DIMM - DDR

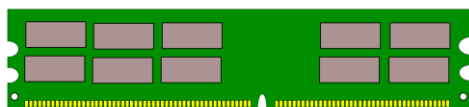
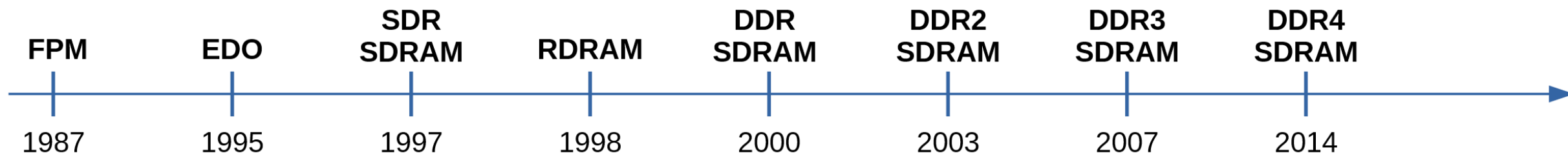


240-pinowy moduł DIMM – DDR2

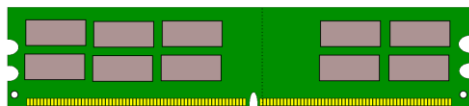


240-pinowy moduł DIMM – DDR3

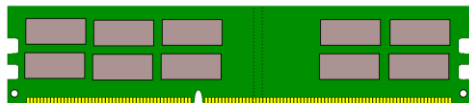
# Rozwój DRAM – DDR4 SDRAM



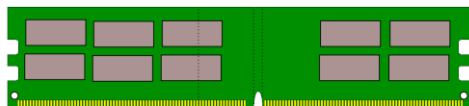
184-pinowy moduł DIMM - DDR



240-pinowy moduł DIMM – DDR2



240-pinowy moduł DIMM – DDR3



288-pinowy moduł DIMM – DDR4

**DDR4 SDRAM (Double Data Rate 4 Synchronous Dynamic Random Acces Memory)**

W porównaniu do standardu DDR3, pobór prądu jest mniejszy o około 20%.

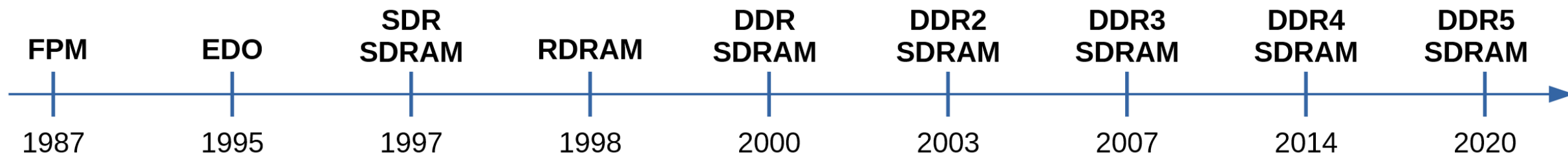
Montowane w 288-pinowych modułach DIMM.

Maksymalna częstotliwość efektywna została zwiększona do 3200 MHz.

Teoretyczna przepustowość 25.6 GB/s.

Napięcie 1.2 V.

# Rozwój DRAM – DDR5 SDRAM



## DDR5 SDRAM (Double Data Rate 5 Synchronous Dynamic Random Acces Memory)

Najnowszy standard pamięci RAM typu SDRAM wprowadzony w lipcu 2020 r.

Jedną z nowości będzie możliwość wykonywania innych operacji w trakcie odświeżania pamięci, co do tej pory nie było możliwe.

Szacuje się, że pierwsze produkty zgodne ze standardem DDR5 trafią na rynek w 2022 roku.

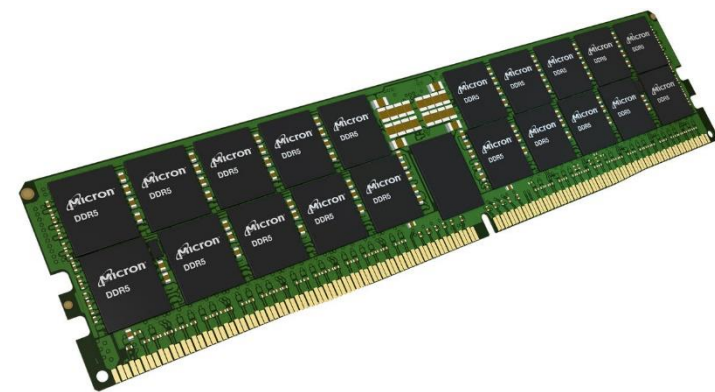
Liczba pinów się nie zmienia i wynosi 288, ale ich układ tak.

Nie będą więc kompatybilne z DDR4.

Nowy standard zakłada podwojenie częstotliwości do 6400MHz.

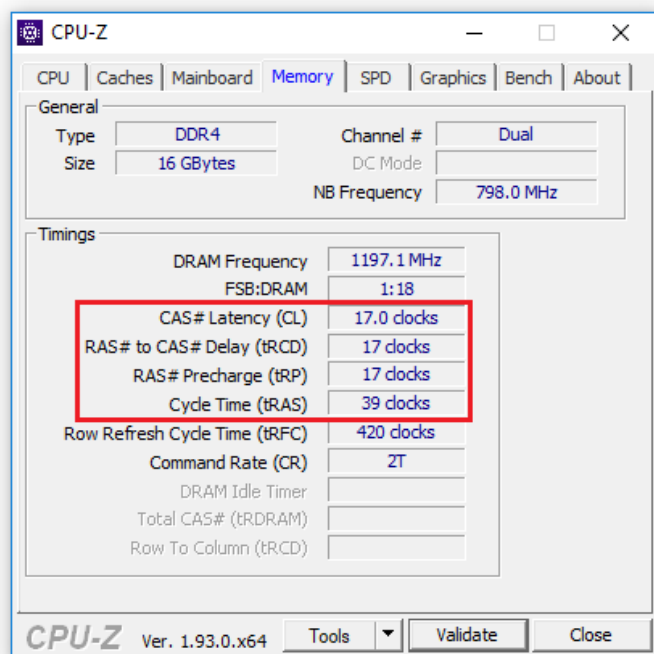
Teoretyczna przepustowość 51.2 GB/s.

Napięcie 1.1 V.



*288-pinowy moduł DIMM – DDR5*

# Parametry pamięci



Istotnymi parametrami wpływającymi na szybkość działania pamięci SDRAM są czasy opóźnień pamięci.

Podawane są najczęściej w formacie CAS – RCD – RP – RAS.

- **CAS** (column address strobe latency) – najważniejszy parametr pamięci. Określa liczbę cykli zegara jaka upływa od momentu wysłania żądania dostępu przez kontroler pamięci RAM do otrzymania danych.
- **RCD** (RAS to CAS Delay) – minimalna liczba cykli pomiędzy otwarciem wiersza a dostępem do znajdujących się w nim kolumn.
- **RP** (Row Precharge Time) – minimalna liczba cykli pomiędzy zakończeniem dostępu do jednego wiersza a aktywacją kolejnego wiersza.
- **RAS** (Row Active Strobe) – minimalna liczba cykli pomiędzy rozpoczęciem aktywowania wiersza a jego dezaktywacją, określa czas potrzebny na odświeżenie wiersza.



# Wielokanałowa architektura pamięci

- Wielokanałowa architektura pamięci pozwala na zwielokrotnienie ilości przesyłanych danych pomiędzy pamięcią DRAM a kontrolerem
- Efekt ten uzyskuje się dzięki dodaniu większej liczby 64-bitowych kanałów komunikacyjnych
- **Oznacza to, że 64-bitowe moduły zamontowane w wielu kanałach zwiększają szerokość magistrali dostępowej, tyle razy ile dana architektura ma kanałów**
- Moduły pamięci DRAM umieszczane są w skorelowanych ze sobą gniazdach płyty głównej
- Architektury o większej liczbie kanałów występują w procesorach serwerowych



*Triple channel*



*Quad channel*

# DDR SDRAM - przepustowość danych do i z pamięci

- W celu wyznaczenia przepustowości **pojedynczej kości pamięci** DDR SDRAM posługujemy się wzorem:

$$B = F * D * M * W$$

gdzie:

$B$  – przepustowość danych do pamięci

$F$  – częstotliwość zegar pamięci

$D$  – mnożnik wynosi 2 ponieważ *Double Data Rate*

$M$  – mnożnik częstotliwości magistrali **wynosi 1**

$W$  – szerokość magistrali wynosi 8B = 64bity/8

- Przykładowo dla zegara 100 MHz, przepustowość danych do pamięci wynosi:

$$B = 100 \text{ MHz} * 2 * 1 * 8\text{B} = 1600 \text{ MB/s} = 1.6 \text{ GB/s}$$

# DDR SDRAM - przepustowość danych do i z pamięci

- Przykładowe wersje pamięci DDR SDRAM:
  - PC-1600 – o częstotliwości zegara 100 MHz, przepustowość 1,6 GB/s
  - PC-2100 – o częstotliwości zegara 133 MHz, przepustowość 2,1 GB/s
  - PC-2700 – o częstotliwości zegara 166 MHz, przepustowość 2,7 GB/s
  - PC-3200 – o częstotliwości zegara 200 MHz, przepustowość 3,2 GB/s

# DDR2 SDRAM - przepustowość danych do i z pamięci

- W celu wyznaczenia przepustowości pojedynczej kości pamięci DDR2 SDRAM posługujemy się wzorem:

$$B = F * D * M * W$$

gdzie:

$B$  – przepustowość danych do pamięci

$F$  – częstotliwość zegar pamięci

$D$  – mnożnik wynosi 2 ponieważ *Double Data Rate*

$M$  – mnożnik częstotliwości magistrali **wynosi 2**

$W$  – szerokość magistrali wynosi 8B = 64bity/8

- Przykładowo dla zegara 100 MHz, przepustowość danych do pamięci wynosi:

$$B = 100 \text{ MHz} * 2 * 2 * 8\text{B} = 3200 \text{ MB/s} = 3,2 \text{ GB/s}$$

# DDR2 SDRAM - przepustowość danych do i z pamięci

- Przykładowe wersje pamięci DDR2:
  - PC2-3200 – częstotliwość zegara pamięci 100 MHz, przepustowość 3,2 GB/s
  - PC2-4200 – częstotliwość zegara pamięci 133 MHz, przepustowość 4,3 GB/s
  - PC2-5300 – częstotliwość zegara pamięci 166 MHz, przepustowość 5,3 GB/s
  - PC2-6400 – częstotliwość zegara pamięci 200 MHz, przepustowość 6,4 GB/s
  - PC2-8500 – częstotliwość zegara pamięci 266 MHz, przepustowość 8,5 GB/s

# DDR3 SDRAM - przepustowość danych do i z pamięci

- W celu wyznaczenia przepustowości pojedynczej kości pamięci DDR3 SDRAM posługujemy się wzorem:

$$B = F * D * M * W$$

gdzie:

$B$  – przepustowość danych do pamięci

$F$  – częstotliwość zegar pamięci

$D$  – mnożnik wynosi 2 ponieważ *Double Data Rate*

$M$  – mnożnik częstotliwości magistrali **wynosi 4**

$W$  – szerokość magistrali wynosi 8B = 64bity/8

- Przykładowo dla zegara 100 MHz, przepustowość danych do pamięci wynosi:

$$B = 100\text{MHz} * 2 * 4 * 8\text{B} = 6400 \text{ MB/s} = 6,4 \text{ GB/s}$$

# DDR3 SDRAM - przepustowość danych do i z pamięci

- Przykładowe wersje pamięci DDR3:
  - PC3-6400 (DDR3-800) – częstotliwość zegara pamięci 100 MHz, przepustowość 6,4 GB/s
  - PC3-8500 (DDR3-1066) – częstotliwość zegara pamięci 133 MHz, przepustowość 8,5 GB/s
  - PC3-10600 (DDR3-1333) – częstotliwość zegara pamięci 166 MHz, przepustowość 10,6 GB/s
  - PC3-12800 (DDR3-1600) – częstotliwość zegara pamięci 200 MHz, przepustowość 12,8 GB/s
  - PC3-15000 (DDR3-1866) – częstotliwość zegara pamięci 233 MHz, przepustowość 15 GB/s
  - PC3-16000 (DDR3-2000) – częstotliwość zegara pamięci 250 MHz, przepustowość 16 GB/s
  - PC3-17000 (DDR3-2133) – częstotliwość zegara pamięci 266 MHz, przepustowość 17 GB/s
  - PC3-19200 (DDR3-2400) – częstotliwość zegara pamięci 300 MHz, przepustowość 19,2 GB/s



# DDR4 SDRAM - przepustowość danych do i z pamięci

- W celu wyznaczenia przepustowości pojedynczej kości pamięci DDR4 SDRAM posługujemy się wzorem:

$$B = F * D * M * W$$

gdzie:

$B$  – przepustowość danych do pamięci

$F$  – częstotliwość zegar pamięci

$D$  – mnożnik wynosi 2 ponieważ *Double Data Rate*

$M$  – mnożnik częstotliwości magistrali **wynosi 4 tak samo jak w DDR3**

$W$  – szerokość magistrali wynosi 8B = 64bity/8

- Przykładowo dla zegara 100 MHz, przepustowość danych do pamięci wynosi:

$$B = 100\text{MHz} * 2 * 4 * 8\text{B} = 6400 \text{ MB/s} = 6,4 \text{ GB/s}$$

# DDR4 SDRAM - przepustowość danych do i z pamięci

- Przykładowe wersje pamięci DDR4:
  - PC4-12800 (DDR4-1600) – częstotliwość zegara pamięci 200 MHz, przepustowość 12,8 GB/s
  - PC4-14900 (DDR4-1866) – częstotliwość zegara pamięci 233 MHz, przepustowość 14,9 GB/s
  - PC4-17000 (DDR4-2133) – częstotliwość zegara pamięci 266 MHz, przepustowość 17,0 GB/s
  - PC4-19200 (DDR4-2400) – częstotliwość zegara pamięci 300 MHz, przepustowość 19,2 GB/s
  - PC4-21333 (DDR4-2666) – częstotliwość zegara pamięci 333 MHz, przepustowość 21,3 GB/s
  - PC4-23466 (DDR4-2933) – częstotliwość zegara pamięci 366 MHz, przepustowość 23,4 GB/s
  - PC4-25600 (DDR4-3200) – częstotliwość zegara pamięci 400 MHz, przepustowość 25,6 GB/s

# DDR4 i DDR3 SDRAM: przepustowość vs liczba transferów

- Przykładowo:

PC4-**25600** (DDR4-3200)

25600 MB/s – Przepustowość  $B$   
danych na sekundę:

$$B = F * D * M * W$$

gdzie:

$F=400$  MHz

$D=2$

$M=4$

$W=8B$

# DDR4 i DDR3 SDRAM: przepustowość vs liczba transferów

- Przykładowo:

PC4-**25600** (DDR4-**3200**)

25600 MB/s – Przepustowość  $B$  danych na sekundę:

$$B = F * D * M * W$$

gdzie:

$F=400$  MHz

$D=2$

$M=4$

$W=8B$

3200 MT/s – Liczba transferów  $T$  na sekundę:

$$T = F * D * M * \cancel{W}$$

gdzie:

$F=400$  MHz

$D=2$

$M=4$

~~$W=8B$~~

# DDR4 i DDR3 SDRAM: przepustowość vs liczba transferów

- Przykładowo:

PC4-**25600** (DDR4-**3200**)

25600 MB/s – Przepustowość  $B$  danych na sekundę:

$$B = F * D * M * W$$

gdzie:

$F=400$  MHz

$D=2$

$M=4$

$W=8B$

3200 MT/s – Liczba transferów  $T$  na sekundę:

$$T = F * D * M * \cancel{W}$$

gdzie:

$F=400$  MHz

$D=2$

$M=4$

~~$W=8B$~~

**Liczba transferów nie uwzględnia szerokości szyny danych (parametr  $W$  we wzorze)**

# Wielokanałowa architektura pamięci: przepustowość danych do i z pamięci

- W celu wyznaczenia przepustowości całego systemu komputerowego posługujemy się wzorem:

$$B = F * D * M * W * K$$

gdzie:

$B$  – przepustowość

$F$  – częstotliwość zegara pamięci

$D$  – mnożnik wynosi 2 (*Double Data Rate*)

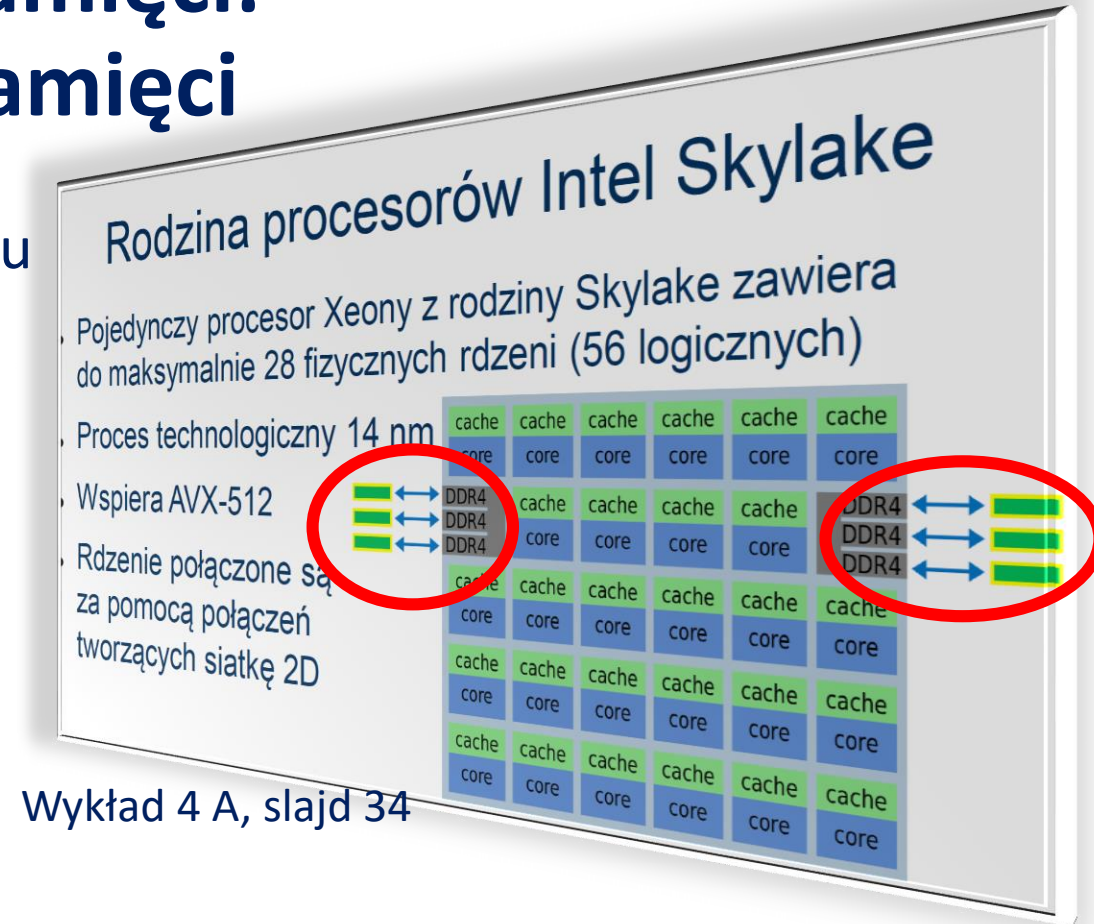
$M$  – mnożnik częstotliwości magistrali

$W$  – szerokość magistrali wynosi 8B

$K$  – liczba kanałów w systemie

- Przykładowo, procesor serwerowy Intel z rodziny Skylake posiada 6 kanałów dostępu do pamięci, zatem dla pamięci np. PC4-25600 przepustowość danych do pamięci całego systemu wyniesie:

$$6 * 25,6 \text{ GB/s} \rightarrow B = 400\text{MHz} * 2 * 4 * 8\text{B} * 6\text{kanałów}$$

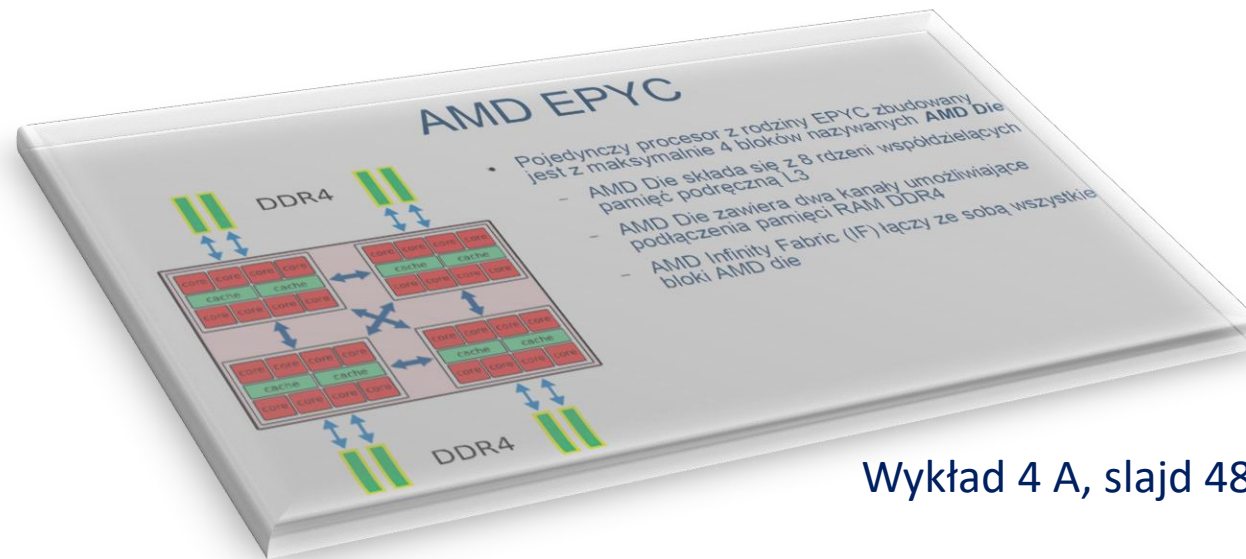


Wykład 4 A, slajd 34

# Wielokanałowa architektura pamięci: przepustowość danych do i z pamięci

- Przykładowo, procesor serwerowy AMD EPYC z rodziny ROME posiada 8 kanałów dostępu do pamięci, zatem dla pamięci np. PC4-25600 przepustowość danych do pamięci całego systemu wyniesie:

$$8 * 25,6 \text{ GB/s} \rightarrow B = 400\text{MHz} * 2 * 4 * 8B * 8\text{kanałów}$$



# Dziękuję za uwagę



Kontakt:

**dr hab. inż. Łukasz Szustak, prof. PCz**

[lszustak@icis.pcz.pl](mailto:lszustak@icis.pcz.pl)

Katedra Informatyki

Wydział Inżynierii Mechanicznej i Informatyki

Politechnika Częstochowska