



Ministerstwo Nauki  
i Szkolnictwa Wyższego

**Regionalna Inicjatywa Doskonałości w Dyscyplinach  
Informatyki, Elektrotechniki, Elektroniki, Automatyki i Robotyki  
na Politechnice Częstochowskiej**



**Projekt w ramach programu Regionalna Inicjatywa Doskonałości, decyzja nr 020/RID/2018/19**

# **Architektura Systemów Komputerowych**

## **Ogólna charakterystyka architektur systemów komputerowych pozostałych typów**

dr hab. inż. Łukasz Szustak, prof. PCz

[lszustak@icis.pcz.pl](mailto:lszustak@icis.pcz.pl)

Katedra Informatyki

Wydział Inżynierii Mechanicznej i Informatyki  
Politechnika Częstochowska



Wydział Inżynierii  
Mechanicznej  
i Informatyki  
The Faculty of Mechanical Engineering  
and Computer Science



Ministerstwo Nauki  
i Szkolnictwa Wyższego

# Regionalna Inicjatywa Doskonałości w Dyscyplinach Informatyki, Elektrotechniki, Elektroniki, Automatyki i Robotyki na Politechnice Częstochowskiej



Projekt w ramach programu Regionalna Inicjatywa Doskonałości, decyzja nr 020/RID/2018/19

**Zamieszczane materiały służą wyłącznie do celów  
indywidualnego kształcenia. Nie wyrażam zgody na ich  
utrwalanie przekazywanie osobom trzecim ani  
rozpowszechnianie.**

dr hab. inż. Łukasz Szustak, prof. PCz

[lszustak@icis.pcz.pl](mailto:lszustak@icis.pcz.pl)

Katedra Informatyki

Wydział Inżynierii Mechanicznej i Informatyki  
Politechnika Częstochowska

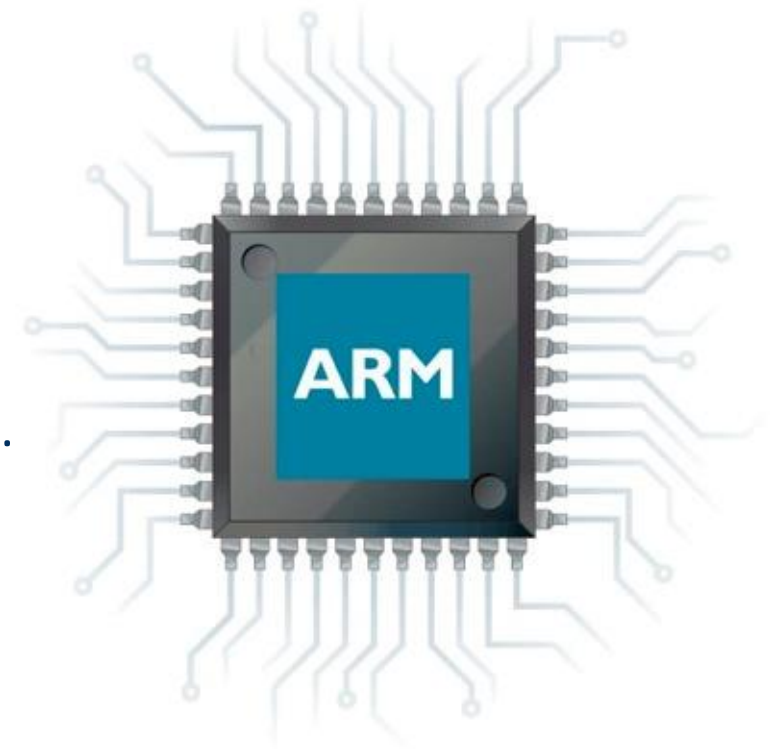


Wydział Inżynierii  
Mechanicznej  
i Informatyki  
The Faculty of Mechanical Engineering  
and Computer Science

# ARCHITEKTURY ARM

# ARM

- ❖ ARM (Advanced RISC Machine) jest to rodzina 32 i 64 - bitowych architektur obliczeniowych, charakteryzująca się zredukowanym zestawem instrukcji (RISC).
- ❖ Powstała w latach 80-tych XX wieku jako produkt firmy Acorn RISC Machine i w ostatnich latach dominuje na rynku urządzeń mobilnych.
- ❖ Obecnie firma projektująca architektury ARM nazywa się Arm Holdings.
- ❖ W 2016 roku została kupiona przez japoński koncern SoftBank.
- ❖ W oparciu o tę architekturę, wytworzono już ponad 160 miliardów chipów (dane na luty 2020 r.).



# RISC, CISC

RISC (Reduced Instruction Set Computing) oraz CISC (Complex Instruction Set Computing) to dwa główne paradygmaty projektowania procesorów.

## RISC

- Zredukowana lista rozkazów
- Instrukcje mają podobny format
- Wiele rejestrów wewnętrznych
- Ujednolicony czas wykonania rozkazów
- Złożoność oprogramowania
- Łatwa do zrównoleglenia
- Mała liczba cykli zegarowych
- Obszerny kod programu

## CISC

- Obszerna lista rozkazów
- Wiele różnych typów i formatów instrukcji
- Kilka rejestrów wewnętrznych
- Różne czasy wykonania rozkazów
- Złożoność sprzętowa
- Trudna do zrównoleglenia
- Duża liczba cykli zegarowych
- Krótki kod programu

# Dlaczego RISC?

- ❖ RISC jest architekturą, która pasuje do urządzeń mobilnych czy systemów wbudowanych.
- ❖ Kluczową rolę odgrywa tutaj efektywność energetyczna, która jest głównym czynnikiem ograniczającym podczas projektowania urządzeń mobilnych.
- ❖ Prostsza konstrukcja pozwala na oszczędność energii.
- ❖ Procesory desktopowe, produkowane w architekturze x86 czyli CISC, są szybsze od mobilnych ale cechują się dużym zapotrzebowaniem na energię.
- ❖ Procesor desktopowy przy obciążeniu może pobierać 200 W.
- ❖ Procesor mobilny potrzebuje jedynie 2 – 3 W.

# Jak działa ARM Holdings



- ❖ Firma Arm Holdings nie produkuje procesorów.
- ❖ Zajmuje się projektowaniem oraz sprzedażą licencji na architekturę ARM firmom zewnętrznym, które na bazie modelu architektonicznego ARM budują własne systemy.
- ❖ Sprzedawanym produktem jest więc model programowy procesora, który określa plan działania wszystkich części procesora.
- ❖ Lista licencjobiorców ARM jest bardzo długa.
- ❖ Należą do niej firmy takie jak Samsung, Apple, Huawei, Nvidia, Qualcomm, Broadcom, Fujitsu, Amazon.



# Czym jest architektura?

Można ją rozumieć jako pewnego rodzaju umowę pomiędzy sprzętem a oprogramowaniem.

|                                          |                                                                                                                                                                            |
|------------------------------------------|----------------------------------------------------------------------------------------------------------------------------------------------------------------------------|
| Zestaw instrukcji                        | <ul style="list-style-type: none"><li>• Funkcje instrukcji</li><li>• Jak instrukcja jest reprezentowana w pamięci (jej kodowanie)</li></ul>                                |
| Zestaw rejestrów                         | <ul style="list-style-type: none"><li>• Liczba rejestrów</li><li>• Rozmiar rejestrów</li><li>• Funkcje rejestrów</li><li>• Początkowy stan rejestrów</li></ul>             |
| Model wyjątków                           | <ul style="list-style-type: none"><li>• Różne poziomy przywilejów</li><li>• Rodzaje wyjątków</li><li>• Obsługa wyjątków</li></ul>                                          |
| Model pamięci                            | <ul style="list-style-type: none"><li>• Sposób uporządkowania dostępu do pamięci</li><li>• Jak zachowuje się pamięć podręczna</li></ul>                                    |
| Debugowanie, monitorowanie, profilowanie | <ul style="list-style-type: none"><li>• Sposób ustawiania i wyzwalania breakpointów</li><li>• Jakie informacje mogą być przechwycone przez narzędzia analizujące</li></ul> |

# ARM - smartfony

Około 90% procesorów w smartfonach opartych jest na architekturze ARM.  
Czasami jeden smartfon ma w sobie wiele architektur ARM.

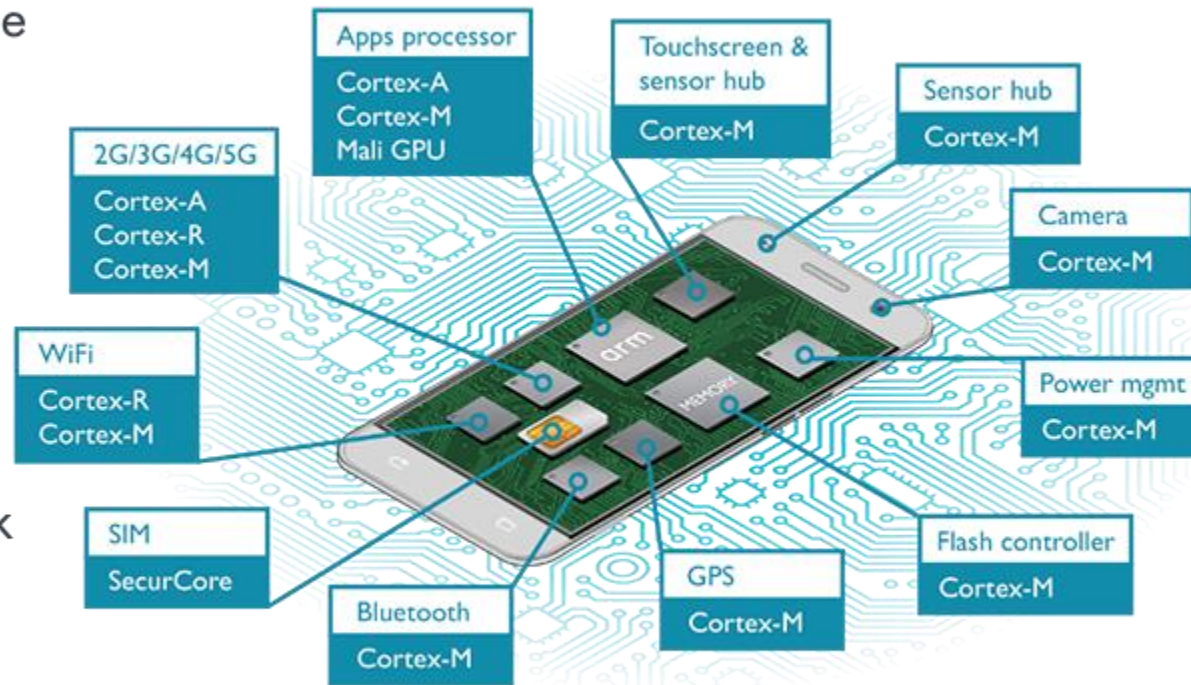
**arm** TrustZone

**arm** Artisan

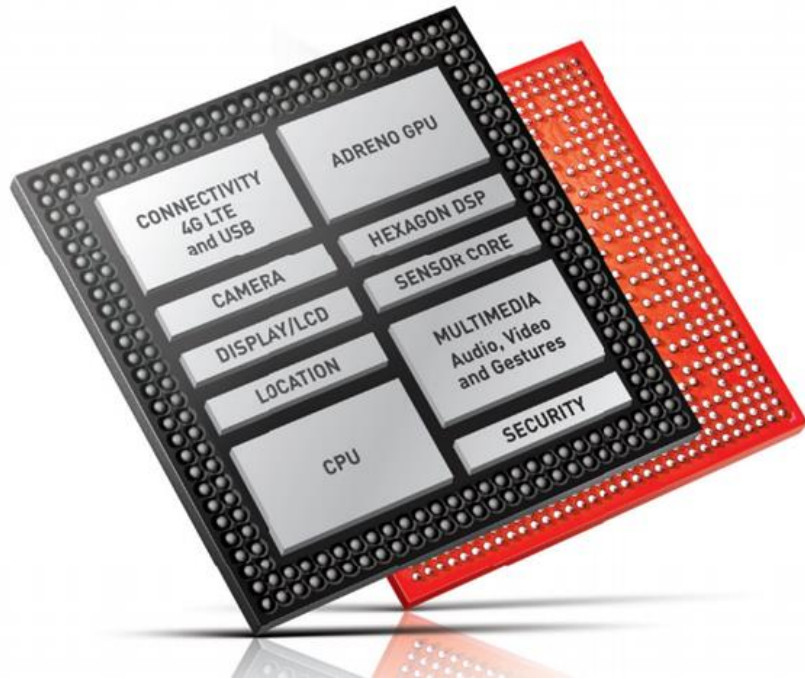
**arm** Mali

**arm** Cortex

**arm** CoreLink



# ARM - SoC

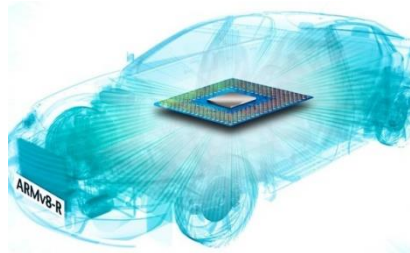


- ❖ ARM dostarcza również rozwiązania z podejścia SoC (System On a Chip), stosowanego w nowoczesnych systemach wbudowanych oraz smartfonach.
- ❖ Możliwe, że w tym kierunku będzie również zmierzać następna generacja komputerów mobilnych.
- ❖ Rozwiązanie polega na połączeniu wielu komponentów w jeden chip, w celu poprawy wydajności.
- ❖ SoC może składać się z CPU, GPU, pamięci, interfejsów (np. USB, Ethernet), umieszczonych w jednym chipie.

# ARM - IoT

Podobny, 90-procentowy udział w rynku ARM osiąga również w kontrolerach urządzeń IoT.

- ❖ smartfony,
- ❖ systemy wbudowane,
- ❖ systemy biometryczne,
- ❖ smart TV,
- ❖ branża automotive,
- ❖ elektronika konsumencka, np. drony.



# ARM - desktopy



- ❖ ARM coraz szerzej funkcjonuje także poza rynkiem mobilnym.
- ❖ W czerwcu 2020 roku Apple ogłosiło przejście z procesorów Intel na ARM w komputerach Mac.
- ❖ Wstępne testy pokazały znaczącą poprawę, w szczególności w obszarach wydajności grafiki oraz aplikacji korzystających ze sztucznej inteligencji.
- ❖ Pierwszy model Mac z procesorem ARM ma zadebiutować jeszcze w 2020 roku.
- ❖ Procesory ARM mają zostać wyprodukowane w procesie 5nm.
- ❖ W 2022 roku nastąpi całkowite odejście od procesorów firmy Intel.

# ARM – procesory serwerowe

- ❖ Rynek procesorów serwerowych jest zdominowany przez firmę Intel (ponad 90%), lecz coraz większy udział w rynku ma firma AMD (wzrost od 1% do 8% w ciągu dwóch lat).
- ❖ Na rynku pojawiają się jednak również procesory serwerowe powstałe z wykorzystaniem architektury ARM.
- ❖ Jednym z nich jest 80-rdzeniowy Ampere Altra oparty o architekturę ARM Neoverse N1.
- ❖ Według firmy Ampere, procesor jest w stanie pokonać topowe procesory firmy Intel oraz AMD.
- ❖ W planach firmy Ampere jest również 128-rdzeniowy procesor Altra Max oraz przejście na proces 5nm.



# ARM - superkomputer



- ❖ W czerwcu 2020 pozycję najszybszego komputera na świecie według rankingu TOP500 objął japoński komputer Fugaku oparty o architekturę ARM.
- ❖ Składa się z ponad 7 milionów rdzeni i osiągnął wynik 415 PFLOPS.
- ❖ Wynik dotychczasowego lidera to 148 PFLOPS osiągnięte przez superkomputer Summit.

| Rank | System                                                                                                                                                                              | Cores     | Rmax<br>(TFlop/s) | Rpeak<br>(TFlop/s) | Power<br>(kW) |
|------|-------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------|-----------|-------------------|--------------------|---------------|
| 1    | <b>Supercomputer Fugaku</b> - Supercomputer Fugaku, A64FX 48C 2.2GHz, Tofu interconnect D, Fujitsu<br>RIKEN Center for Computational Science<br>Japan                               | 7,299,072 | 415,530.0         | 513,854.7          | 28,335        |
| 2    | <b>Summit</b> - IBM Power System AC922, IBM POWER9 22C 3.07GHz, NVIDIA Volta GV100, Dual-rail Mellanox EDR Infiniband, IBM<br>DOE/SC/Oak Ridge National Laboratory<br>United States | 2,414,592 | 148,600.0         | 200,794.9          | 10,096        |

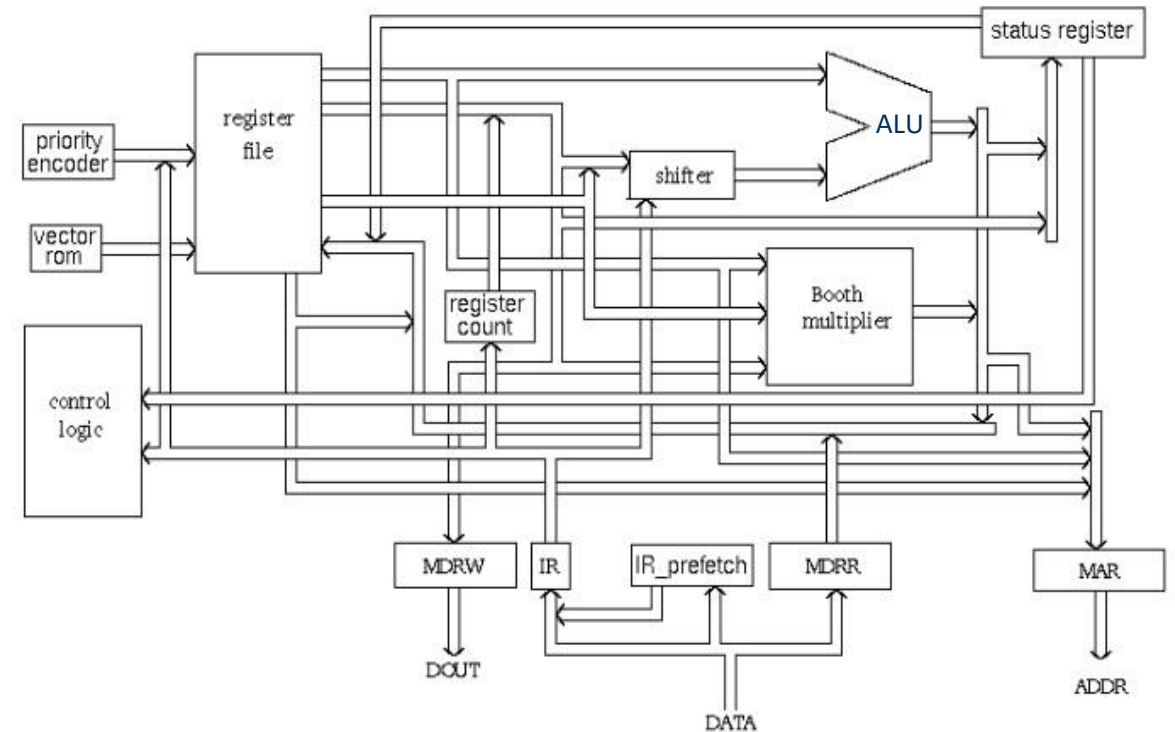
# Wersje ARM

Architektura ARM występuje w 3 różnych wersjach: A,R,M.

| A - Applications                                                                                                                                                                  | R – Real-Time                                                                                                                                                                                        | M - Microcontroller                                                                                                                                                                                               |
|-----------------------------------------------------------------------------------------------------------------------------------------------------------------------------------|------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------|-------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------|
| <ul style="list-style-type: none"><li>• Wersja wysokowydajnościowa</li><li>• Zaprojektowana do działania systemów operacyjnych, wymagających dużych mocy obliczeniowych</li></ul> | <ul style="list-style-type: none"><li>• Przeznaczona dla systemów czasu rzeczywistego</li><li>• Powszechnie stosowana w sprzęcie sieciowym oraz wbudowanych systemach sterowania (np. ABS)</li></ul> | <ul style="list-style-type: none"><li>• Zaprojektowana dla urządzeń o najmniejszej mocy</li><li>• Priorytetem jest niski koszt oraz wydajność energetyczna</li><li>• Występuje w wielu urządzeniach IoT</li></ul> |

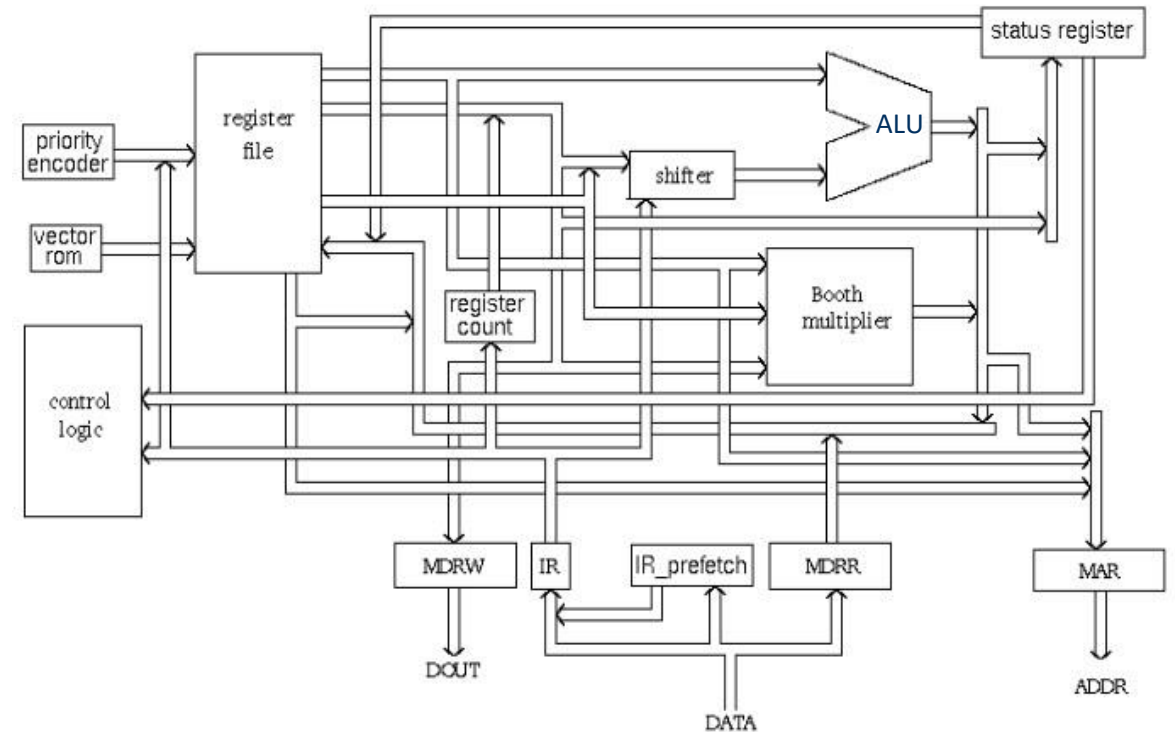
# Projekt ARM - ALU

- ❖ ALU (Arithmetic Logic Unit)  
Jednostka arytmetyczno-logiczna, wykonująca podstawowe operacje arytmetyczne (np. dodawanie) i logiczne (np. AND).
- ❖ Ma dwa 32-bitowe wejścia.
- ❖ Pierwszym jest plik rejestru (register file), drugim przesuwnik (shifter).
- ❖ ALU modyfikuje flagi rejestru stanu (status register).



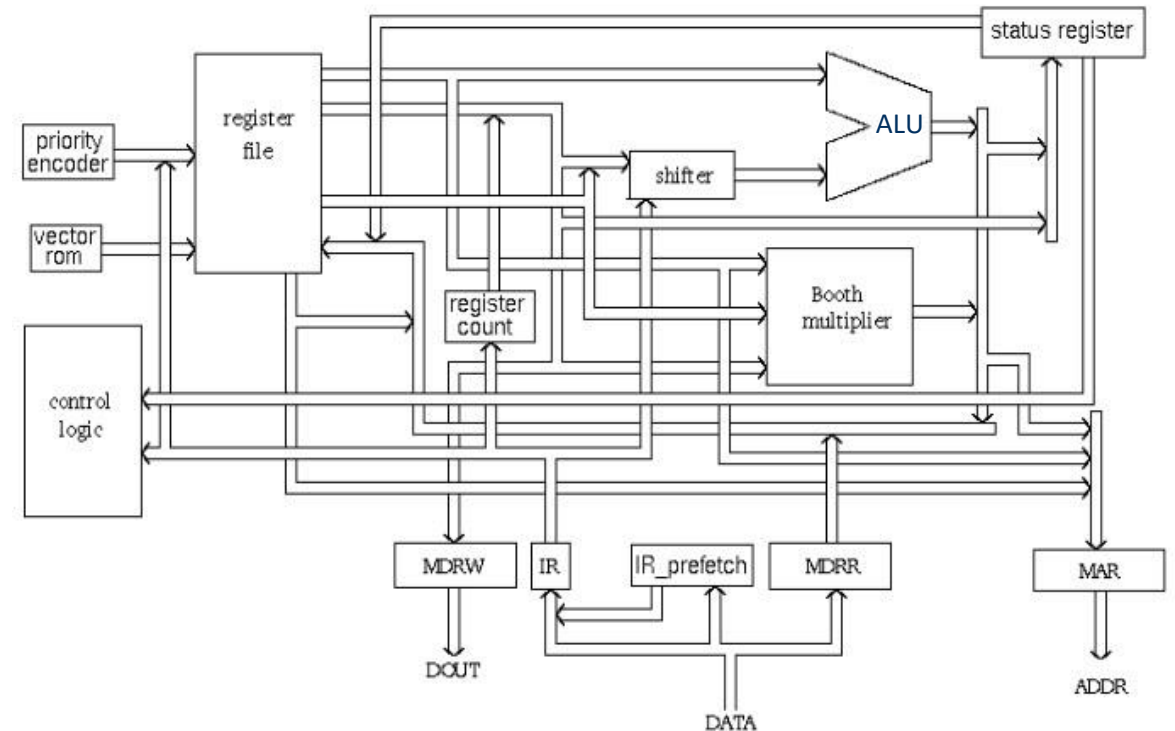
# Projekt ARM – Booth multiplier

- ❖ Booth multiplier  
Mnożnik Booth'a, mający trzy 32-bitowe wejścia.
- ❖ Każde wejście pochodzi z rejestru plików (register file).
- ❖ Mnożenie wykonywane jest według algorytmu mnożenia Booth'a.



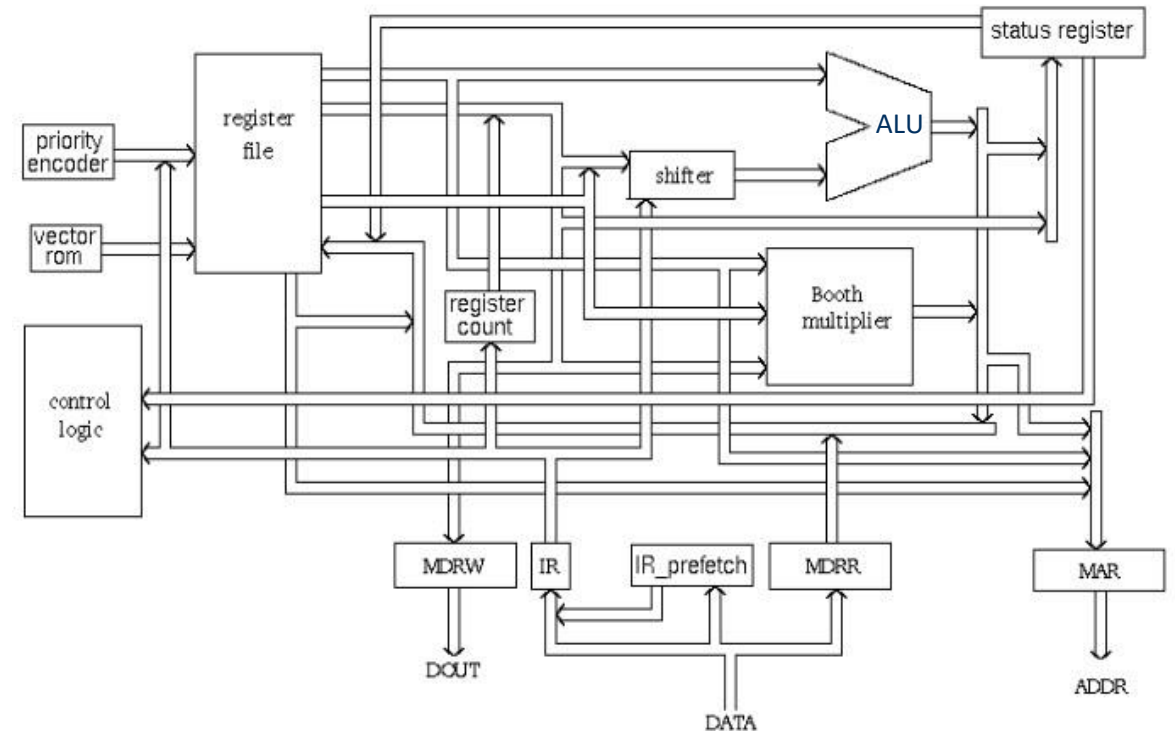
# Projekt ARM – Barrel shifter

- ❖ Barrel shifter – przesuwnik 32-bitowego wejścia z pliku rejestru (register file).
- ❖ Drugie wejście pochodzi z rejestru instrukcji (IR – instruction register).
- ❖ Pole shift w instrukcji steruje działaniem przesuwnika.
- ❖ Wskazuje jaki rodzaj przesunięcia powinien być wykonany.



# Projekt ARM – Control unit

- ❖ Control unit – jednostka sterująca.
- ❖ Jest sercem całego układu.
- ❖ Odpowiada za działanie systemu.
- ❖ Do jej zadań należy także taktowanie procesora.
- ❖ Sygnały z jednostki sterującej są podłączone do wszystkich komponentów procesora aby nadzorować ich działanie.



# Rejestry ARM

Architektura ARM dostarcza rejestry o ogólnym i specjalnym przeznaczeniu. Wyróżnia się 7 różnych trybów pracy z wykorzystaniem 37 rejestrów 32-bitowych.

| User     | FIQ                                        | IRQ                                         | SVC                                         | Undef                                       | Abort                                       |
|----------|--------------------------------------------|---------------------------------------------|---------------------------------------------|---------------------------------------------|---------------------------------------------|
| r0       | User mode<br>r0-r7,<br>r15,<br>and<br>cpsr | User mode<br>r0-r12,<br>r15,<br>and<br>cpsr | User mode<br>r0-r12,<br>r15,<br>and<br>cpsr | User mode<br>r0-r12,<br>r15,<br>and<br>cpsr | User mode<br>r0-r12,<br>r15,<br>and<br>cpsr |
| r1       |                                            |                                             |                                             |                                             |                                             |
| r2       |                                            |                                             |                                             |                                             |                                             |
| r3       |                                            |                                             |                                             |                                             |                                             |
| r4       |                                            |                                             |                                             |                                             |                                             |
| r5       |                                            |                                             |                                             |                                             |                                             |
| r6       |                                            |                                             |                                             |                                             |                                             |
| r7       |                                            |                                             |                                             |                                             |                                             |
| r8       | r8                                         |                                             |                                             |                                             |                                             |
| r9       | r9                                         |                                             |                                             |                                             |                                             |
| r10      | r10                                        |                                             |                                             |                                             |                                             |
| r11      | r11                                        |                                             |                                             |                                             |                                             |
| r12      | r12                                        |                                             |                                             |                                             |                                             |
| r13 (sp) | r13 (sp)                                   | r13 (sp)                                    | r13 (sp)                                    | r13 (sp)                                    | r13 (sp)                                    |
| r14 (lr) | r14 (lr)                                   | r14 (lr)                                    | r14 (lr)                                    | r14 (lr)                                    | r14 (lr)                                    |
| r15 (pc) |                                            |                                             |                                             |                                             |                                             |
| cpsr     | spsr                                       | spsr                                        | spsr                                        | spsr                                        | spsr                                        |

Niezależnie od trybu, we wszystkich procesorach ARM dostępne są rejestry z trybu User:

- ❖ 13 rejestrów ogólnego przeznaczenia r0 - r12,
- ❖ 1 rejestr sp (Stack Pointer),
- ❖ 1 rejestr lr (Link Register),
- ❖ 1 rejestr pc (Program Counter),
- ❖ 1 rejestr cpsr (Current Program Status Register).

# Rejestry ARM

Architektura ARM dostarcza rejestry o ogólnym i specjalnym przeznaczeniu. Wyróżnia się 7 różnych trybów pracy z wykorzystaniem 37 rejestrów 32-bitowych.

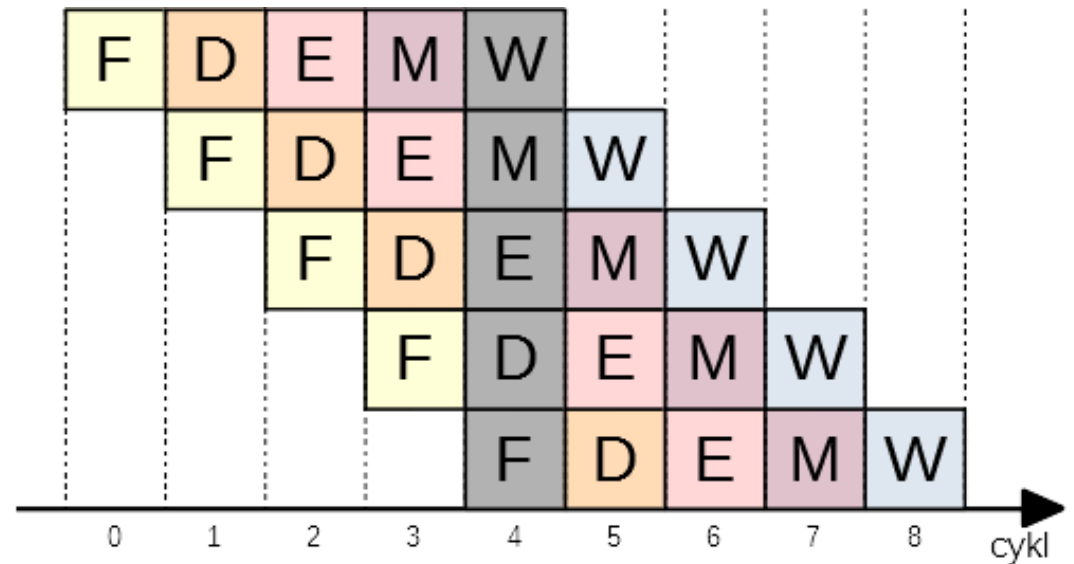
Pozostałe tryby to:

| User     | FIQ                                        | IRQ                                         | SVC                                         | Undef                                       | Abort                                       |
|----------|--------------------------------------------|---------------------------------------------|---------------------------------------------|---------------------------------------------|---------------------------------------------|
| r0       | User mode<br>r0-r7,<br>r15,<br>and<br>cpsr | User mode<br>r0-r12,<br>r15,<br>and<br>cpsr | User mode<br>r0-r12,<br>r15,<br>and<br>cpsr | User mode<br>r0-r12,<br>r15,<br>and<br>cpsr | User mode<br>r0-r12,<br>r15,<br>and<br>cpsr |
| r1       |                                            |                                             |                                             |                                             |                                             |
| r2       |                                            |                                             |                                             |                                             |                                             |
| r3       |                                            |                                             |                                             |                                             |                                             |
| r4       |                                            |                                             |                                             |                                             |                                             |
| r5       |                                            |                                             |                                             |                                             |                                             |
| r6       |                                            |                                             |                                             |                                             |                                             |
| r7       |                                            |                                             |                                             |                                             |                                             |
| r8       |                                            |                                             |                                             |                                             |                                             |
| r9       |                                            |                                             |                                             |                                             |                                             |
| r10      |                                            |                                             |                                             |                                             |                                             |
| r11      |                                            |                                             |                                             |                                             |                                             |
| r12      |                                            |                                             |                                             |                                             |                                             |
| r13 (sp) | r13 (sp)                                   | r13 (sp)                                    | r13 (sp)                                    | r13 (sp)                                    | r13 (sp)                                    |
| r14 (lr) | r14 (lr)                                   | r14 (lr)                                    | r14 (lr)                                    | r14 (lr)                                    | r14 (lr)                                    |
| r15 (pc) |                                            |                                             |                                             |                                             |                                             |
| cpsr     | spsr                                       | spsr                                        | spsr                                        | spsr                                        | spsr                                        |

- ❖ FIQ – włączany przy przerwaniu o wysokim priorytecie.
- ❖ IRQ - włączany przy przerwaniu o niskim priorytecie.
- ❖ SVC – włączany przy uruchamianiu lub restarcie.
- ❖ Undef – używany do obsługi instrukcji niezdefiniowanych.
- ❖ Abort – używany do obsługi naruszeń dostępu do pamięci.
- ❖ System – tryb uprzywilejowany korzystający z tych samych rejestrów co tryb User.

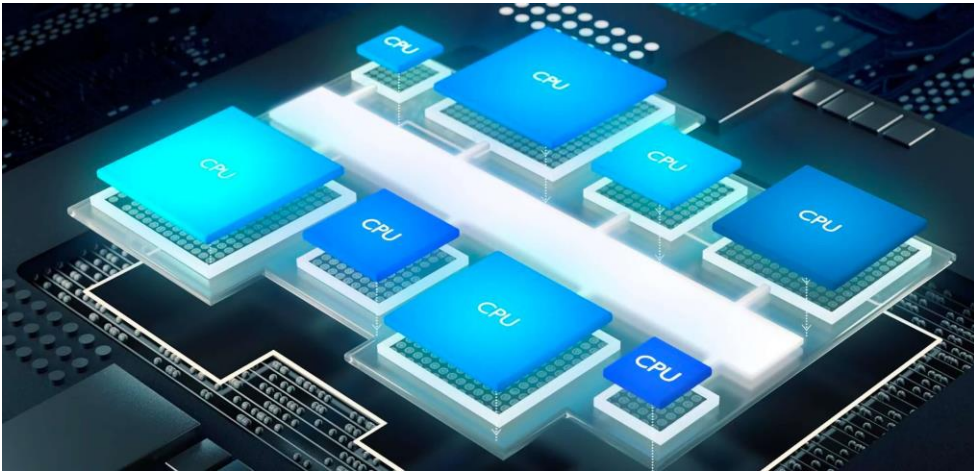
# Potokowość

- ❖ Architektury ARM korzystają z potokowości.
- ❖ W zależności od wersji architektury jest to potokowość 3, 5, 6 lub 8 etapowa.
- ❖ Potokowość polega na podziale logiki procesora odpowiedzialnej za wykonywanie rozkazów na specjalizowane grupy.
- ❖ Zadaniem każdej z grup jest wykonanie części pracy związanej z wykonaniem rozkazu.
- ❖ Grupy wykonują pracę równocześnie, co pozwala na realizację całej instrukcji w jednym cyklu zegarowym.



F – Fetch – Pobieranie instrukcji z pamięci  
D – Decode – Dekodowanie instrukcji  
E – Execute – Wykonanie instrukcji  
M – Memory Acces – Dostęp do pamięci  
W – Write Back – Zapis wyników do rejestrów

# Heterogeniczność architektury



- ❖ Jednym z kluczowych rozwiązań stosowanych w ARM jest heterogeniczna architektura **big.LITTLE**.
- ❖ Jej idea polega na zastosowaniu różnych rdzeni w tym samym chipie.
- ❖ Jedna grupa rdzeni charakteryzuje się dużą mocą, druga natomiast jest słabsza.
- ❖ Po przeprowadzeniu analizy, chip podejmuje decyzję, które rdzenie uruchomić.
- ❖ W przypadku, gdy urządzenie jest w stanie bezczynności, lub wykonywane obliczenia nie wymagają dużej mocy obliczeniowej, pracę wykonują słabsze rdzenie (LITTLE). W tym czasie mocniejsze rdzenie (big) mogą być wyłączone.
- ❖ Według ARM technologia big.LITTLE zmniejsza zużycie energii nawet o 75 %.

# Tryby pracy

Procesor może pracować w 3 różnych stanach: ARM, Thumb, Jazelle.

| ARM                                                                                                                                                           | Thumb                                                                                                                                                                                                           | Jazelle                                                                                                                                                                                          |
|---------------------------------------------------------------------------------------------------------------------------------------------------------------|-----------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------|--------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------|
| <ul style="list-style-type: none"><li>• Priorytetem jest wysoka wydajność</li><li>• Wszystkie instrukcje są 32-bitowe, wyrównane do słowa (4 bajty)</li></ul> | <ul style="list-style-type: none"><li>• Priorytetem jest oszczędność energii i pamięci</li><li>• Kompresja instrukcji do 16 bitów, pół słowa (2 bajty)</li><li>• Wolniejszy od trybu ARM o około 40 %</li></ul> | <ul style="list-style-type: none"><li>• Umożliwia wykonywanie instrukcji języka Java</li><li>• Wszystkie instrukcje są 8 bitowe</li><li>• Procesor odczytuje 4 instrukcje jednocześnie</li></ul> |

# Dziękuję za uwagę



Kontakt:

**dr hab. inż. Łukasz Szustak, prof. PCz**

[lszustak@icis.pcz.pl](mailto:lszustak@icis.pcz.pl)

Katedra Informatyki

Wydział Inżynierii Mechanicznej i Informatyki

Politechnika Częstochowska